

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-43261

(P2001-43261A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int.Cl.⁷

識別記号

F I

テーマコード^{*} (参考)

G 0 6 F 17/50

G 0 6 F 15/60

6 5 8 U 5 B 0 4 6

1/10

1/04

3 3 0 A 5 B 0 7 9

15/60

6 5 8 K

6 5 8 V

6 6 8 X

審査請求 有 請求項の数25 O L (全 29 頁)

(21) 出願番号 特願2000-3449(P2000-3449)

(71) 出願人 000001144

工業技術院長

東京都千代田区霞が関1丁目3番1号

(22) 出願日 平成12年1月12日 (2000.1.12)

(74) 上記1名の指定代理人 220000356

工業技術院電子技術総合研究所長

(31) 優先権主張番号 特願平11-86167

(32) 優先日 平成11年3月9日 (1999.3.9)

(33) 優先権主張国 日本 (J P)

(71) 出願人 599045800

高橋 栄一

茨城県つくば市梅園1丁目1番4 工業技

術院電子技術総合研究所内

特許法第30条第1項適用申請有り

(71) 出願人 599045811

戸田 賢二

茨城県つくば市梅園1丁目1番4 工業技

術院電子技術総合研究所内

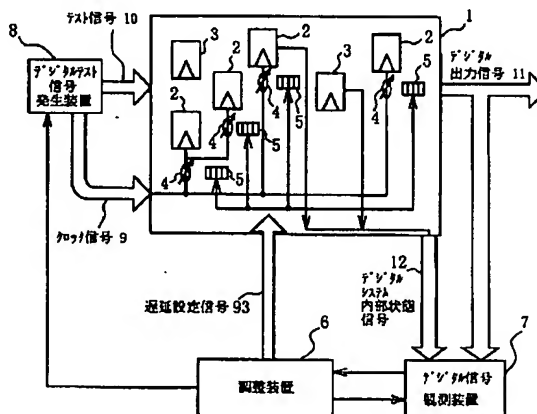
最終頁に続く

(54) 【発明の名称】 デジタルシステム、デジタルシステムのクロック信号調整方法および、その調整方法で実行する処理プログラムを記録した記録媒体

(57) 【要約】 (修正有)

【課題】 クロック信号のタイミング調整を個々のデジタルシステムごとに行う。

【解決手段】 単一もしくは複数のクロック信号に従いデジタル処理を行って所定の機能を奏するデジタルシステム1において、前記デジタルシステム内の、前記クロック信号を供給する複数のクロック回路にそれぞれ介挿されるとともに、制御信号が示す値に応じて遅延時間を変化させる回路素子で各々構成された複数の遅延素子4と、前記複数の遅延素子に与える複数の制御信号を保持する複数の保持回路5と、を具え、前記複数の保持回路が、それらの保持回路が保持する前記複数の制御信号の値を外部装置6〜8により、確率的探索手法(遺伝的アルゴリズム、遺伝的プログラミング)に従って、前記デジタルシステムが動作タイミングに関し誤りなく動作するように変更されるものであることを特徴としている。



【特許請求の範囲】

【請求項1】 単一もしくは複数のクロック信号に従いデジタル処理を行って所定の機能を奏するデジタルシステムにおいて、

前記デジタルシステム内の、前記クロック信号を供給する複数のクロック回路にそれぞれ介挿されるとともに、制御信号が示す値に応じて遅延時間を変化させる回路素子で各々構成された複数の遅延素子と、前記複数の遅延素子に与える複数の制御信号を保持する複数の保持回路と、を具え、

前記複数の保持回路が、それらの保持回路が保持する前記複数の制御信号の値を外部装置により、確率的探索手法に従って、前記デジタルシステムが動作タイミングに関し誤りなく動作するように変更されたものであることを特徴とする、デジタルシステム。

【請求項2】 前記保持回路が保持する制御信号の値は、前記外部装置が、遺伝的アルゴリズムに従って前記制御信号の値を順次に変更して探索した、前記デジタルシステムが動作タイミングに関し誤りなく動作する状態となる最適値に変更されることを特徴とする、請求項1記載のデジタルシステム。

【請求項3】 前記保持回路が保持する制御信号の値は、前記外部装置が、遺伝的プログラミングに従って前記制御信号の値を順次に変更して探索した、前記デジタルシステムが動作タイミングに関し誤りなく動作する状態となる最適値に変更されることを特徴とする、請求項1記載のデジタルシステム。

【請求項4】 前記外部装置による前記複数の制御信号の変更は、前記クロック信号の周波数を段階的に上昇させながら行われることを特徴とする、請求項1から3までの何れか記載のデジタルシステム。

【請求項5】 単一もしくは複数のクロック信号に従いデジタル処理を行って所定の機能を奏するデジタルシステムにおいて、

前記デジタルシステム内の、前記クロック信号を供給する複数のクロック回路にそれぞれ介挿されるとともに、制御信号が示す値に応じて遅延時間を変化させる回路素子で各々構成された複数の遅延素子と、前記複数の遅延素子に与える複数の制御信号を保持する複数の保持回路と、

前記デジタルシステムが動作タイミングに関し誤りなく動作するように、前記複数の保持回路が保持する前記複数の制御信号の値を確率的探索手法に従って変更する設定手段と、を具えることを特徴とする、デジタルシステム。

【請求項6】 前記設定手段は、遺伝的アルゴリズムに従って前記制御信号の値を順次に変更し、前記デジタルシステムが動作タイミングに関し誤りなく動作する状態となる制御信号の最適値を探索するものであることを特徴とする、請求項5記載のデジタルシステム。

【請求項7】 前記設定手段は、遺伝的プログラミングに従って前記制御信号の値を順次に変更し、前記デジタルシステムが動作タイミングに関し誤りなく動作する状態となる制御信号の最適値を探索するものであることを特徴とする、請求項5記載のデジタルシステム。

【請求項8】 前記設定手段による前記複数の制御信号の変更は、前記クロック信号の周波数を段階的に上昇させながら行われることを特徴とする、請求項5から7までの何れか記載のデジタルシステム。

10 【請求項9】 前記デジタルシステムは、集積回路として構成されていることを特徴とする、請求項1から8までの何れか記載のデジタルシステム。

【請求項10】 前記デジタルシステムは、パイプライン構造を持っていることを特徴とする、請求項1から8までの何れか記載のデジタルシステム。

【請求項11】 前記デジタルシステムは、回路基板として構成されていることを特徴とする、請求項1から8までの何れか記載のデジタルシステム。

20 【請求項12】 単一もしくは複数のクロック信号に従いデジタル処理を行って所定の機能を奏するデジタルシステムの前記クロック信号のタイミングを調整する方法において、

前記デジタルシステム内の、前記クロック信号を供給する複数のクロック回路に、複数の遅延素子をそれぞれ介挿し、

前記複数の遅延素子を各々、制御信号が示す値に応じて遅延時間を変化させる回路素子で構成し、

30 前記複数の遅延素子に与える複数の制御信号を、前記デジタルシステムに設けた複数の保持回路で保持するとともに、

前記デジタルシステムが動作タイミングに関し誤りなく動作するように、前記複数の保持回路が保持する前記複数の制御信号の値を外部装置により、確率的探索手法に従って変更することを特徴とする、デジタルシステムのクロック信号調整方法。

40 【請求項13】 前記外部装置は、遺伝的アルゴリズムに従って前記制御信号の値を順次に変更し、前記デジタルシステムが動作タイミングに関し誤りなく動作する状態となる制御信号の最適値を探索することを特徴とする、請求項12記載のデジタルシステムのクロック信号調整方法。

【請求項14】 前記外部装置は、遺伝的プログラミングに従って前記制御信号の値を順次に変更し、前記デジタルシステムが動作タイミングに関し誤りなく動作する状態となる制御信号の最適値を探索することを特徴とする、請求項12記載のデジタルシステムのクロック信号調整方法。

50 【請求項15】 前記外部装置による前記複数の制御信号の変更は、前記クロック信号の周波数を段階的に上昇させながら行うことを特徴とする、請求項12から14

までの何れか記載のデジタルシステムのクロック信号調整方法。

【請求項16】 単一もしくは複数のクロック信号に従いデジタル処理を行って所定の機能を奏するデジタルシステムの前記クロック信号のタイミングを調整する方法において、

前記デジタルシステム内の、前記クロック信号を供給する複数のクロック回路に、複数の遅延素子をそれぞれ介挿し、

前記複数の遅延素子を各々、制御信号が示す値に応じて遅延時間を変化させる回路素子で構成し、

前記複数の遅延素子に与える複数の制御信号を、前記デジタルシステムに設けた複数の保持回路で保持するとともに、

前記デジタルシステムが動作タイミングに関し誤りなく動作するように、前記複数の保持回路が保持する前記複数の制御信号の値を、前記デジタルシステムに設けた設定手段で、確率的探索手法に従って変更することを特徴とする、デジタルシステムのクロック信号調整方法。

【請求項17】 前記設定手段は、遺伝的アルゴリズムに従って前記制御信号の値を順次に変更し、前記デジタルシステムが動作タイミングに関し誤りなく動作する状態となる制御信号の最適値を探索するものであることを特徴とする、請求項16記載のデジタルシステムのクロック信号調整方法。

【請求項18】 前記設定手段は、遺伝的プログラミングに従って前記制御信号の値を順次に変更し、前記デジタルシステムが動作タイミングに関し誤りなく動作する状態となる制御信号の最適値を探索するものであることを特徴とする、請求項16記載のデジタルシステムのクロック信号調整方法。

【請求項19】 前記設定手段による前記複数の制御信号の変更は、前記クロック信号の周波数を段階的に上昇させながら行われることを特徴とする、請求項16から18までの何れか記載のデジタルシステムのクロック信号調整方法。

【請求項20】 前記デジタルシステムは、集積回路として構成されていることを特徴とする、請求項12から19までの何れか記載のデジタルシステムのクロック信号調整方法。

【請求項21】 前記デジタルシステムは、パイプライン構造を持っていることを特徴とする、請求項12から19までの何れか記載のデジタルシステムのクロック信号調整方法。

【請求項22】 前記デジタルシステムは、回路基板として構成されていることを特徴とする、請求項12から19までの何れか記載のデジタルシステムのクロック信号調整方法。

【請求項23】 前記外部装置は、電子計算機で構成されていることを特徴とする、請求項12から15までの

何れか記載のデジタルシステムのクロック信号調整方法。

【請求項24】 前記設定手段は、電子計算機で構成されていることを特徴とする、請求項16から19までの何れか記載のデジタルシステムのクロック信号調整方法。

【請求項25】 請求項23または24記載のデジタルシステムのクロック信号調整方法において前記電子計算機が実行する、前記複数の保持回路が保持する前記複数の制御信号の値を前記デジタルシステムが動作タイミングに関し誤りなく動作するように確率的探索手法に従って変更する処理プログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、単一あるいは複数のクロック信号に同期して動作する単一あるいは複数のデジタルシステムおよび、かかるデジタルシステムのクロック信号のタイミング調整方法、そしてその調整方法で実行する処理プログラムを記録した記録媒体に関するものである。本発明は特に、デジタルシステムの構成要素であるデジタル回路素子の数が多い場合や、クロック信号の周波数が高い場合に極めて有効である。

【0002】

【従来の技術および発明が解決しようとする課題】デジタルシステムは、通常、AND素子、OR素子、NOT素子の3種類の論理素子と、真（論理値「1」）と偽（論理値「0」）の2通りの状態（1ビット）を記憶するフリップフロップと呼ばれる記憶素子から構成される。

【0003】最も基本的なフリップフロップは、各1本の入出力端子とクロック端子の3端子から構成され、クロック端子に印加されたクロック信号と呼ばれるデジタル信号の立ち上がりに入力端子のデジタル信号を出力端子にコピーし、かつ、次のクロック信号の立ち上がりまでそのデジタル値を保持する機能を有する。

【0004】一般に、有限個のクロック信号に従って動作するデジタルシステムを同期回路と呼び、同期回路では各フリップフロップのクロック端子に到着するクロック信号の時間差が全体の動作に影響を与える。一般に各フリップフロップにクロック信号を供給する信号線は、途中にバッファが挿入されたり、物理配線上の工夫が施される等特別な回路を採用することが多く、ここではクロック回路と呼ぶ。

【0005】例えば、同じ1nsの時間のずれでも、クロック周波数が10MHzの場合、つまり、クロックサイクルが100nsの場合には1%のずれであるのに対し、クロック周波数が100MHzの場合、つまりクロックサイクルが10nsの場合には10%のずれであり、補正が必要となる。つまり、クロック周波数が高いほど精密なタイミング調整技術が必要となる。

【0006】デジタルシステムのクロックタイミングの

誤差に対する従来の対策としては、

(1) デジタルシステムの設計時に、クロックタイミングの誤差ができるだけ小さくなるように設計者が手動で調整するという対策手法。

(2) デジタルシステム中のクロック回路に、クロックタイミングの誤差を補正するような調整回路を入れるという対策手法という対策手法。

の2通りがあった。

【0007】しかし、対策(1)では次のような問題が解決されない。すなわち、トランジスタや抵抗、コンデンサといった電子回路素子はそれぞれの特性にバラツキを有しており、各素子のバラツキは実際にシステムを作成するまで明らかではない。これは集積回路内の素子において特に顕著に見られる特性である。このバラツキの影響を最も強く受けるのがクロックタイミングであり、デジタル同期システムの動作周波数の上限を決定する。このように、デジタルシステムの設計時には完全にこれらのバラツキを把握することはできないことから、ある範囲のバラツキを許容して設計、作成するか、もしくは、試作を繰り返して実際のバラツキの度合いを測定するという手法がとられてきた。しかしながら、この方法には明らかに限度があり、各素子の持つ特性を限界まで利用することはできなかった。。

【0008】別の問題点として、手動での調整では、扱える回路規模に限界があり、コンピュータシステムのような大規模なデジタルシステム全体に対する調整は、現実問題として不可能であった。また、大規模問題を扱う際の常套手段である部分問題への切り分けも、調整範囲を制限してしまい望ましくない。

【0009】対策(2)の問題点は、調整回路が挿入されていても、回路規模が大きくなるに従い、調整探索空間が広大なものになってしまい、実用的な時間での調整が不可能になってしまう点である。逆に、実用的な時間で調整可能な程度の調整回路では、デジタルシステムのごく一部を調整対象とするのみであり、その効果は極めて限定されてしまう。

【0010】上記デジタルシステムが集積回路として作製される場合には、さらに以下の2つの点に特徴がある。1つ目は、集積回路内部は修正不能であり、全て設計時に決定しなければならないという点である。そこで調整回路を挿入する手段がとられるが、調整探索空間が膨大になることから全体の動作を考慮した調整は不可能である。従って、後述する本発明のような新たな手法を用いなければ集積回路チップ作製後に全体の動作を考慮したタイミング調整を行うことは不可能である。2つ目は、集積回路チップ内の素子のバラツキが大きく、作製後でなければ内部の素子のパラメータ(抵抗やコンデンサなどの値やトランジスタの特性)の変化が分からないという点である。従って、そのバラツキがクロックタイミングに与える影響が大きく、素子の特性を限界まで利

用するために正確な素子のパラメータ値が必要な場合には、後述する本発明のような新たな手法が不可欠である。

【0011】デジタルシステムが、IPと呼ばれる、知的所有権(Intellectual Property)の対象とされるとともに第3者による使用を目的とされたハードウェア設計データや、通常のハードウェア設計データライブラリである場合には、その機能やインターフェース諸元は公開されるが、内部構造は等価回路以上の情報は公開されない場合がある。クロック周波数が高い集積回路でそうしたIPを使用する場合には、IPの対象とされた内部にまで及ぶ精密なタイミング調整が不可欠であるが、上述のように権利上内部がブラックボックスとなっていることが多いので、そうした権利を維持しつつ高いクロック周波数で動作する集積回路を作製するには、外部回路側で各IPにとって最適な入出力タイミングのデータを作り出すようなクロック回路を提供する必要があるが、同一のIPを用いても最適な入出力タイミングはチップごとに異なるため、従来手法では不可能であった。

【0012】また、現在の大部分のデジタルシステムは、CMOSテクノロジーを用いており、デジタルシステムがCMOSテクノロジーを用いて構成されている場合、電源電流の大部分はそれぞれのデジタル信号が(論理値「0」から論理値「1」へ、あるいは論理値「1」から論理値「0」へ)変化する時に流れる。従って、もしも多数のデジタル信号が同時に変化した場合には、瞬間的に大きな電源電流が流れ、電源容量が不足して電源電圧が変動し、ひいては誤動作の原因になることもある。

【0013】さらに、瞬間的に大きな電流が流れると、継続的に小さな電流が流れる場合に比べて、消費電力が増大し、大きな容量の電源と電源供給線を用意する必要があり、これらがデジタルシステムのサイズを大きくしてしまう。このデジタル信号の同時変化の影響を減らすには、それぞれの信号のタイミング、つまり、それぞれのフリップフロップのタイミングを、全体が誤りなく動作する範囲で微調整することにより達成できるが、従来手法ではこうした全体の動作を考慮した上での精密なタイミング調整は不可能であった。

【0014】また、デジタルシステムから発生する不要電磁放射(EMI)は、周囲の他のデジタルシステムを誤動作させるなどの作用を及ぼし、抑制するべきものである。この問題は、デジタルシステムが回路基板として実装される場合に特に深刻であり、各国のさまざまな法律で規制が行われている。EMIはデジタル信号の(論理値「0」から論理値「1」へ、あるいは論理値「1」から論理値「0」へ)変化時に発生し、多くのデジタル信号が一斉に変化するときには大きなピークパワーを持ったEMIが発生する。これを抑制する手段の一つに、デジタル信号の同時変化、つまりフリップフロップの同時変化を減らす方法があるが、デジタルシステム全体が所

定のクロック周波数において誤りなく動作する範囲でデジタルシステム全体のフリップフロップのタイミングを精密に調整することは、従来手法では不可能であった。

【0015】以上のような理由から、特に大規模、高速なシステムにおいて、クロック信号のタイミング調整を個々のデジタルシステムごとに自動で行う新たな方法が必要とされており、本発明は、かかる課題を有利に解決するためになされたものである。

【0016】

【課題を解決するための手段およびその作用・効果】上記10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50
 記目的を達成するため、請求項1記載の本発明のデジタルシステムは、単一もしくは複数のクロック信号に従いデジタル処理を行って所定の機能を奏するデジタルシステムにおいて、前記デジタルシステム内の、前記クロック信号を供給する複数のクロック回路にそれぞれ介挿されるとともに、制御信号が示す値に応じて遅延時間を変化させる回路素子で各々構成された複数の遅延素子と、前記複数の遅延素子に与える複数の制御信号を保持する複数の保持回路と、を具え、前記複数の保持回路が、それらの保持回路が保持する前記複数の制御信号の値を外部装置により、確率的探索手法に従って、前記デジタルシステムが動作タイミングに関し誤りなく動作するように変更されたものであることを特徴としている。

【0017】そして請求項12記載の本発明のデジタルシステムのクロック信号調整方法は、単一もしくは複数のクロック信号に従いデジタル処理を行って所定の機能を奏するデジタルシステムの前記クロック信号のタイミングを調整する方法において、前記デジタルシステム内の、前記クロック信号を供給する複数のクロック回路に、複数の遅延素子をそれぞれ介挿し、前記複数の遅延素子を各々、制御信号が示す値に応じて遅延時間を変化させる回路素子で構成し、前記複数の遅延素子に与える複数の制御信号を、前記デジタルシステムに設けた複数の保持回路で保持するとともに、前記デジタルシステムが動作タイミングに関し誤りなく動作するように、前記複数の保持回路が保持する前記複数の制御信号の値を外部装置により、確率的探索手法に従って変更することを特徴としている。

【0018】かかるデジタルシステムおよびデジタルシステムのクロック信号調整方法にあつては、デジタルシステム内の、単一もしくは複数のクロック信号をそれぞれ供給する複数のクロック回路に介挿されるとともに、制御信号が示す値に応じて遅延時間を変化させる回路素子で構成された遅延素子に、複数の保持回路が保持する複数の制御信号がそれぞれ与えられ、それらの制御信号が示す値に応じて各遅延素子が、クロック信号を適宜遅延させて基本的回路に供給する。また、上記複数の保持回路が保持する上記複数の制御信号の値を、外部装置が、デジタルシステムが動作タイミングに関し誤りなく動作するように、確率的探索手法に従って変更する。な

お、本発明における「遅延」は、正の遅延すなわち遅らせること、負の遅延すなわち進ませることも含む。

【0019】従って、本発明のデジタルシステムおよび、本発明のデジタルシステムのクロック信号調整方法によれば、上記所定の機能に関連する回路素子の特性（遅延特性など）が正確に把握できない場合、あるいは製造プロセス上その回路素子の特性に誤差が生ずるような場合、そしてクロック回路に品質不均一や設計上の誤差が生ずるような場合、さらにはデジタルシステム中の基本的回路が前述のIPのようにブラックボックス化していてその構成が明確でない場合でも、クロック信号のタイミング誤差を吸収して、デジタルシステムを誤りなく動作するように調整することができるので、従来技術による場合よりも少ない設計労力で、その機能に関して従来技術による場合よりも高い性能を得ることができ、そして従来技術による場合よりも大規模・高速なデジタルシステムを得ることもでき、しかも、回路素子等のばらつきに起因するデジタルシステムの性能の低下を改善することもできる。

【0020】また、本発明のデジタルシステムおよび、本発明のデジタルシステムのクロック信号調整方法によれば、デジタルシステム全体が誤りなく動作する範囲でデジタルシステム全体のフリップフロップのタイミングを精密に調整してフリップフロップ同士の動作タイミングを僅かにずらすことができるので、デジタル信号の同時変化に起因する、消費電力の増大によるデジタルシステムのサイズ拡大や、不要電磁放射（EMI）の発生を抑制することもできる。

【0021】ここで、デジタルシステムがどの程度誤りなく動作するかは、すべての調整可能な遅延素子の遅延値をパラメータとする評価関数Fで表すことができる。デジタルシステムが誤りなく動作するということは、上記の評価関数Fの解を求めることと等価である。本願発明者はこの点に注目し、デジタルシステムのクロックタイミング調整に遺伝的アルゴリズムを適用可能なことを発見した。

【0022】遺伝的アルゴリズムは、確率的探索手法の一つであり、(1)広域探索において有効に作用し、(2)評価関数F以外には微分値等の派生的な情報が必要でなく、(3)しかも容易な実装性を持つ、アルゴリズムである。従って、本発明においては、請求項2および請求項13の記載のように、上記外部装置による複数の制御信号の変更、遺伝的アルゴリズムを用いても良い。

【0023】またクロック回路は木構造を持つようにに実装されることがよくあるが、上述のように木構造の先端の葉の部分、つまり、フリップフロップの部分だけに調整可能な遅延素子を配置する方法以外に、木構造の途中の分岐点にも配置する方法が考えられる。この場合、分岐点に配置された調整可能な遅延素子は、その点よりも先に存在する調整可能な遅延素子に遅延を追加するよ

うに機能し、それら先端部の遅延素子を小型にする作用を持つ。したがって、調整可能な遅延素子の実現に必要な総サイズも小さくすることができる可能性を持つ。一方近年、遺伝的アルゴリズムに本構造の染色体を扱えるような工夫を加えた遺伝的プログラミングも知られている。従って、本発明においては、このようにクロックの信号線の本構造にそって調整可能な遅延素子が配置されて場合には、請求項3および請求項14の記載のように、上記外部装置による複数の制御信号の変更に、遺伝的プログラミングを用いても良い。

【0024】そして、本発明においては、請求項4および請求項15の記載のように、上記外部装置による制御信号の変更を、クロック信号の周波数を段階的に上昇させながら行うようにしても良く、このようにすれば、より高いクロック周波数においてはより高速の動作状態でデジタルシステムを動作させることができる。

【0025】また、請求項5記載の本発明のデジタルシステムは、請求項1記載のデジタルシステムにおいて、外部装置を用いる代わりにデジタルシステム自体が設定装置を具えるようにしたことを特徴とするものであり、請求項16記載の本発明のデジタルシステムのクロック信号調整方法は、請求項12記載のデジタルシステムのクロック信号調整方法において、外部装置を用いる代わりにデジタルシステム自体が設定装置を具えるようにしたことを特徴とするものである。かかる本発明のデジタルシステムおよび、本発明のデジタルシステムのクロック信号調整方法によれば、先のデジタルシステムおよびデジタルシステムのクロック信号調整方法と同様の作用効果が得られ、しかも、外部装置に代えてデジタルシステム自身が持つ設定手段を用いるので、デジタルシステム単独で随時に、かつ任意の場所で調整を行い得るというさらなる作用効果が得られる。

【0026】そしてこれらの発明のデジタルシステムおよびクロック信号調整方法においても、請求項6および請求項17の記載のように、上記外部装置による複数の制御信号の変更に、遺伝的アルゴリズムを用いても良い。

【0027】また、これらの発明のデジタルシステムおよびクロック信号調整方法においても、請求項7および請求項18の記載のように、上記外部装置による複数の制御信号の変更に、遺伝的プログラミングを用いても良い。

【0028】さらに、これらの発明のデジタルシステムおよびクロック信号調整方法においても、請求項8および請求項19の記載のように、上記設定手段による制御信号の変更を、クロック信号の周波数を段階的に上昇させながら行うようにしても良い。

【0029】そして、上述した、本発明のデジタルシステムおよび、本発明のデジタルシステムのクロック信号調整方法におけるデジタルシステムは、請求項9および

請求項20の記載のように、集積回路として構成されていても良く、このようにすれば、回路素子のバラツキが実際に作成するまで明らかでない集積回路について、クロック信号を最適に調整することができる。

【0030】また、上述した、本発明のデジタルシステムおよび、本発明のデジタルシステムのクロック信号調整方法におけるデジタルシステムは、請求項10および請求項21の記載のように、パイプライン構造を持っても良く、このようにすれば、パイプライン構造のデータ依存関係を利用して調整を部分的かつ段階的に行うことができるので、調整探索空間を少なくして調整時間を短縮することができる。

【0031】さらに、上述した、本発明のデジタルシステムおよび、本発明のデジタルシステムのクロック信号調整方法におけるデジタルシステムは、請求項11および請求項22の記載のように、回路基板として構成されていても良く、このようにすれば、デジタル回路基板製造工程におけるクロック回路の構成素子や構成材料の不均一や設計上の誤差等に起因するクロックタイミングのずれを吸収して、デジタル回路基板が誤動作しないように調整することができる。

【0032】そして、上述した、本発明のデジタルシステムおよび、本発明のデジタルシステムのクロック信号調整方法における上記外部装置や上記設定手段は、請求項23および請求項24の記載のように、パーソナルコンピュータやマイクロコンピュータ等の電子計算機で構成されていても良く、このようにすれば、複数の保持回路が保持する複数の制御信号の値をデジタルシステムが動作タイミングに関し誤りなく動作するように確率的探索手法に従って変更する処理を短時間で容易かつ確実に行うことができる。

【0033】さらに、請求項25記載の本発明の記録媒体は、請求項23または24記載のデジタルシステムのクロック信号調整方法において電子計算機が実行する、複数の保持回路が保持する複数の制御信号の値をデジタルシステムが動作タイミングに関し誤りなく動作するように確率的探索手法に従って変更する処理プログラムを記録したものであることを特徴とするものである。

【0034】かかる記録媒体によれば、本発明のデジタルシステムおよび、本発明のデジタルシステムのクロック信号調整方法のために電子計算機が実行する処理プログラムを記録し保存し得て、任意の場所でクロック信号の調整を行うことができる。なお、かかる記録媒体としては、フレキシブルディスクの他、ハードディスクやCD-ROM、光ディスク等のデータ記録媒体、そしてROM、RAM等の記憶素子を用いることができる。

【0035】

【発明の実施の形態】以下に、本発明の実施の形態を実施例によって、図面に基づき詳細に説明する。本発明は、単一もしくは複数のクロック信号を用いて動作する

多様なデジタルシステムに適用可能である。すなわち、調整対象のデジタルシステムのクロック回路中に複数のタイミング調整箇所を設けることで、本発明によりクロック信号を調整することが可能となる。

【0036】以下の第1実施例では、単一もしくは複数のクロック信号を用いて動作するデジタルシステム一般に本発明を適用した場合について述べる。ここに、図1は、一般的なデジタルシステムに適用した本発明のデジタルシステムの第1実施例を模式的に示す構成図である。

【0037】デジタルシステムにおけるクロック信号のタイミング不良による障害は、デジタルシステムの設計工程を長期化させ、デジタルシステムを構成する素子の性能を限定的にしか使用できないため、デジタルシステムそのものの性能を制限し、かつ、コストの抑制の障害になっている。従って、クロック信号のタイミング調整を、個々のデジタルシステムごとに行う本発明のクロック信号調整方法は必要不可欠なものである。

【0038】図1中、符号1は、例えばマイクロコンピュータ等を構成し、与えられたプログラムに基づくデータ処理等の所定の機能を奏するデジタルシステム、2はクロック信号のタイミング調整が必要なフリップフロップ、3はタイミング調整が不要なフリップフロップを示す。また、4はクロックのタイミングをレジスタの値に応じて変化させ得る調整可能な遅延素子、5は4の遅延設定値を保持するレジスタを示す。

【0039】遅延素子4は、フリップフロップ2のクロック端子と、そのクロック端子にクロック信号を供給するクロック回路との間に挿入されている。またレジスタ5は、遅延素子4に接続されて、遅延素子4の遅延値を変化させる。調整されるフリップフロップ2および、調整されない（調整不要な）フリップフロップ3は、上記デジタルシステム1の構成要素である。

【0040】図1中、符号5は調整可能な遅延素子4の設定値を保持するレジスタであり、符号7はデジタルシステム1のデジタル出力信号およびデジタルシステム1の内部状態を観測するための観測装置であり、8は本発明の方法に従ってデジタルシステム1を調整するためのテスト信号およびクロック信号を発生する装置である。レジスタ5は、一般的なDフリップフロップ、Tフリップフロップ、SRフリップフロップあるいはJKフリップフロップや、レジスタ回路、その他、クロック信号に従って状態を記憶する記憶素子、またはループ状の組合せ回路により構成される記憶回路等である。

【0041】そして符号6は、デジタル信号発生装置8に接続されてそのデジタル信号発生装置8にデジタルシステム1に対する信号発生を開始させると同時にデジタルテスト信号観測装置7に接続されてそのデジタルテスト信号観測装置7に後述の如くデジタルシステム1の出力信号11およびデジタルシステム1の内部状態を示すデ

ジタルシステム内部状態信号12を観測させる調整装置である。

【0042】この調整装置6は、本発明の調整方法に従って、調整可能な遅延素子4の遅延時間を算出し、レジスタ5にその遅延設定値を書き込む。なお、この実施例では、調整装置6、デジタル信号観測装置7、およびデジタルテスト信号発生装置8は外部装置となっている。

【0043】この実施例におけるデジタルシステム1は、集積回路として構成されていてもよく、また回路基板として構成されていてもよい。さらに、この実施例におけるデジタルシステム1は、単一システムとして構成されていてもよく、複数のシステムから構成されていてもよい。

【0044】さらに、この実施例におけるデジタルシステム1は、複数のシステムから構成されるとともに内部に通信路を含んでいてもよく、単一システムとして構成されるとともに内部にバス状の通信路を含んでいてもよい。さらに、この実施例におけるデジタルシステム1は、マルチチップモジュールやハイブリッド集積回路として構成されていてもよい。

【0045】さらに、この実施例におけるデジタルシステム1は、IP(知的所有権 (Intellectual Property)) の対象とされるとともに第3者による使用を目的とされたハードウェア設計データやハードウェアライブラリとして構成されていてもよい。

【0046】調整されるフリップフロップ2および調整されないフリップフロップ3は、一般的なDフリップフロップ、Tフリップフロップ、SRフリップフロップあるいはJKフリップフロップや、レジスタ回路、その他、クロック信号に従って状態を記憶する記憶素子、またはループ状の組合せ回路により構成される記憶回路等であり、デジタルシステム1の構成要素として機能する。

【0047】すなわち、デジタルシステム1において、調整されるフリップフロップ2および調整されないフリップフロップ3は、デジタルシステム1内部の組合せ回路に適宜接続され、クロック信号に従って内部状態を記憶する。

【0048】上記システムにおいて、調整されるフリップフロップ2は、本発明の方法で調整がなされるフリップフロップであり、また、調整されないフリップフロップ3は、本発明の方法で調整が行われないフリップフロップであって、他の方法、例えばデジタルシステム1の設計時のシミュレーション結果などに基づくタイミング調整や、試作結果に基づくタイミング調整、固定値遅延素子のデータバスやクロック回路への挿入などによるタイミング調整など、従来の手法による調整が行われているか否かは問わない。

【0049】調整されるフリップフロップ2のクロック遅延時間とは、フリップフロップ2のクロック端子とクロック回路の間に挿入された調整可能な遅延素子4が加

える遅延時間であり、調整されるフリップフロップ2のクロック端子に供給されるクロック信号は、調整可能な遅延素子4が挿入されていない場合に比べて、その遅延時間分だけタイミングが遅延している。

【0050】調整対象となるデジタルシステム1は、上述のように調整されるフリップフロップ2と調整されないフリップフロップ3を具えて構成されており、この実施例では、調整されるフリップフロップ2の遅延時間、つまり、調整されるフリップフロップ2のクロック端子に接続されている調整可能な遅延素子4の遅延設定値を該デジタルシステム1の製造後に微調整することにより、デジタルシステム1が誤りなく動作するようにする。

【0051】ところで、一般的に、調整可能な遅延素子4の遅延設定値は互いに影響を及ぼしあう。図2に示すように、ある調整されるフリップフロップ2Aに接続された調整可能な遅延素子4Aの遅延設定値調整の影響は、このフリップフロップ2Aの入出力端子と組合せ回路20だけを挟んで接続されている他の調整されるフリップフロップ2に及ぶ。このように、多くの場合、調整探索空間が組合せ爆発を起こしてしまう。それゆえ、本発明に基づく遺伝的アルゴリズムをはじめとする確率的探索手法を用いた後述する調整手法が非常に有効である。

【0052】本実施例においては、デジタルシステム1が誤りなく動作するように、調整されるフリップフロップ2のクロック端子に接続されている調整可能な遅延素子4の遅延設定値が調整される。上記調整装置6の一構成例を図23に示す。図23中、符号6Aは本発明の方法に従って調整手順を実行する調整アルゴリズム実行装置、6Bはデジタルシステム1のレジスタ5に遅延設定値を書き込む遅延設定装置である。

【0053】本実施例における調整では、上記遅延設定装置6Bは、調整アルゴリズム実行装置6Aが算出した遅延設定値を、遅延設定信号93を介してレジスタ5に設定する。遅延設定信号93は、レジスタ5と同じビット幅を持つデジタル値で、調整可能な遅延素子4が発生させる遅延時間を制御する。

【0054】上記の調整アルゴリズム実行装置6Aは、遺伝的アルゴリズムに従って、レジスタ5の遅延設定値として最適な値を探索する。なお、調整装置6は、具体的にはパーソナルコンピュータあるいはマイクロコンピュータ等の電子計算機により構成することが可能であり、また、特開平9-294069号公報に開示されているプログラマブルLSI、あるいは、梶谷らによる論文「GAによるニューラルネットワークの構造学習回路の実現」(日本神経回路学会誌vol. 5, No. 4, pp. 145~153, 1998年)に記載されている回路を用いて構成することもできる。

【0055】上記の電子計算機に於いては、調整アルゴリズム実行装置6Aの機能を実現するプログラムが、ハードディスク、ROM(読み出し専用メモリ)、Flashメモ

リ、光ディスク、光磁気ディスク、磁気ディスク等の記録媒体に格納されている。

【0056】図1中、符号9はデジタルテスト信号発生装置8が生成するクロック信号、10はデジタルテスト信号発生装置8が生成するテスト信号であり、それらの信号はデジタルシステム1に入力される。また同図中、11はデジタルシステム1が出力するデジタル出力信号、12は一部あるいは全部のフリップフロップの出力を取り出したデジタルシステム内部状態信号であり、それらの信号はデジタル信号観測装置7に入力される。ただし、デジタルシステム1の構造によっては、デジタルシステム内部状態信号12を用いずに本発明の方法に従ってデジタルシステム1を調整することも可能である。

【0057】上記デジタル信号観測装置7の一構成例を図24に示す。デジタル信号観測装置7はロジックアナライザ7Aのみから構成される。ロジックアナライザとは、一般にデジタルシステム内のデジタル信号を観測する測定装置である。ロジックアナライザ7Aとデジタルシステム1とは、ロジックアナライザ7Aの測定用プローブで接続し、ロジックアナライザ7Aと調整装置6とは、GP-IBインターフェース7Gで接続する。デジタルシステム1から測定用プローブを介してロジックアナライザ7Aに送られる信号は、デジタル出力信号11およびデジタルシステム内部状態信号12である。なお、デジタル信号観測装置7は、専用回路で構成してデジタルシステム1に内蔵することも可能である。

【0058】上記ロジックアナライザ7Aには、デジタルシステム1が誤りなく動作した場合の、デジタル出力信号11とデジタルシステム内部状態信号12との値を記憶させておき、デジタルシステム1からの出力と比較させて評価値を算出させる。

【0059】あるいは、デジタルシステム1が誤りなく動作した場合のデジタル出力信号11とデジタルシステム内部状態信号12との値は調整装置6に記憶させておき、デジタルシステム1からのデジタル出力信号11とデジタルシステム内部状態信号12の値はそのまま調整装置6に送って、調整装置6で評価値を算出するようにしてもよい。

【0060】上記デジタルテスト信号発生装置8の一構成例を図25に示す。デジタルテスト信号発生装置8はデジタル信号発生器8Aのみから構成される。デジタル信号発生器8Aとデジタルシステム1とは、デジタル信号発生器8Aのプローブで接続し、デジタル信号発生器8Aと調整装置6とは、GP-IBインターフェース8Gで接続する。デジタル信号発生器8Aからプローブを介してデジタルシステム1に送られる信号は、クロック信号9およびテスト信号10である。デジタル信号発生器8Aは、出力するデジタル信号のデータパターンを内部のメモリ中に保持し、指定された周波数のクロック信号9に同期させてデジタルテスト信号10としてデジタルシステム1に出力す

る。なお、デジタルテスト信号発生装置8は、専用回路で構成してデジタルシステム1に内蔵することも可能である。

【0061】デジタルシステム1における調整されるフリップフロップ2の調整箇所2の総数が複数であり、図2に例示するように、遅延素子2の調整箇所において、ある調整箇所2Aの調整が他の多数の調整箇所の調整結果に影響を及ぼし、調整探索空間の組合せ爆発を起こす場合に、本発明は特に有効である。

【0062】本実施例のデジタルシステム1は、外部装置からの設定に従って遅延時間を調整可能な遅延素子4がクロック端子に接続された調整されるフリップフロップ2を複数使用し、調整装置6が実行する確率的探索アルゴリズムを用いて最適な遅延値を探索し、かつ、クロック信号の遅延時間の誤差そのものは直接測定しないことを大きな特徴としている。

【0063】調整可能な遅延素子4で遅延時間（信号伝達タイミング）を変化させる場合の一構成例を図3に示す。pチャネルFETであるTr9、Tr10および、nチャネルFETであるTr11、Tr12が直列接続した回路であり、Tr10、Tr11はNOT素子として機能する。このときTr9およびTr12の抵抗値により回路の電流値が変化するので、浮遊容量（寄生容量）と負荷容量を充放電する時間が変化する。図4に、上記NOT素子への入力信号（入力クロック信号）およびそのNOT素子からの出力信号（出力クロック信号）の波形を示す。それぞれ、T27に inputsする制御信号電圧によりTAの遅延時間、T26に inputsする制御信号電圧によりTBの遅延時間が調整できる。クロック信号の立ち上がりあるいは立ち下りのどちらか一方の遅延調整で済む場合には、Tr9およびTr12の一方を省略可能である。

【0064】調整可能な遅延素子4で遅延時間（信号伝達タイミング）を変化させる場合の他の構成例を図5乃至図8に示す。図5のように、単位遅延DNを有するNOT素子D1を2個カスケード（縦列）に並べることで、2DNの遅延時間を発生させることができる。また、図6のように、単位遅延DNを有するNOT素子を4個カスケードに並べれば、4DNの遅延時間を発生させることができる。同様に、単位遅延DNを有するNOT素子を2n個カスケードに並べることで、(2n × DN)の遅延時間を発生させることができる。

【0065】そして、サイズのより大きなトランジスタを用いてNOT素子D2を構成すれば、トランジスタの寄生容量が増大してより長い遅延が発生し、図7に示すように、素子の個数を増やさずに遅延時間を変化させることができる。

【0066】一方、図8に示すように、抵抗RとコンデンサCとを用いて積分回路を構成し、出力をシュミットトリガー素子S等で波形整形することによっても、遅延回路を構成することができる。この構成では、抵抗Rと

コンデンサCとの値の積に比例する遅延を発生させることができる。

【0067】さらに、配線そのものの遅延を利用して、長い配線を作り出して遅延素子として用いることもでき、この場合には、配線の長さに比例した遅延を発生させることができる。例えば、図9では、図中上側に示す長さLLAの配線LAは、図中下側に示す同じ材質・幅で長さLLBの配線LBに対して、LLA/LLB倍の遅延を発生させる。

【0068】以上の遅延素子はいずれもクロック信号を遅らせる機能しか持たないが、PLL（フェーズロック回路）回路やDLL（ディレイロック回路）回路を用いれば、クロック信号を進めるような負の遅延を発生させることもできる。

【0069】図12に、正負の両方向の遅延を発生させる調整可能な遅延回路の一構成例を示す。図12中、符号94は上述のPLL回路であり、4は図26に示す後述の調整可能な遅延回路である。PLL回路94が、クロックを8DT分進める機能を持ち、調整可能な遅延回路4が、ODTから15DTまでの遅延を発生させる機能を有する場合には、この回路は全体で-8DTから7DTまでの遅延を発生させることができる。

【0070】上記複数の遅延素子を組み合わせ、調整可能な遅延素子4を構成することもできる。図26は、調整可能な遅延素子4の構成を例示する構成図であり、この例の調整可能な遅延素子4は、図1中のレジスタ5が4ビットのデータを保持するものである場合に対応している。この調整可能な遅延素子4では、レジスタ5に保持されているレジスタ値の各ビットが、図示しないスイッチ駆動回路を介して各スイッチ回路Sw1～Sw4にそれぞれ対応し、上記レジスタ値に応じて各スイッチ回路Sw1～Sw4が作動するように構成されており、その結果発生する遅延されたクロック信号が、上記調整されるフリップフロップ2のクロック端子に印加される。

【0071】すなわち、図26に示す調整可能な遅延素子4は、それぞれ長さの異なる一定の遅延時間を発生する遅延素子UD1～UD4と、それら遅延素子UD1～UD4を選択的に使用するためのスイッチ回路Sw1～Sw4とから構成されている。そしてここでは、クロック回路からのクロック入力と、調整されるフリップフロップ2のクロック端子との間に、遅延素子UD1～UD4と各遅延素子に対応するスイッチ回路Sw1～Sw4が互い違いにカスケード（縦列）接続されており、これにより、遅延素子が発生する遅延時間がクロック信号に加わり、発生した遅延時間分だけ元のクロック信号よりタイミングの遅れたクロック信号が、調整されるフリップフロップ2のクロック端子に供給され得るように構成されている。

【0072】ここで、遅延素子UD1は、設計によって長さが定まる遅延時間を発生させる。そして遅延素子UD2は、遅延素子UD1の2倍の遅延時間を発生し、同様に、

遅延素子UD3は、上記遅延素子UD1の4倍の遅延時間、遅延素子UD4は、上記遅延素子UD1の8倍の遅延時間をそれぞれ発生するように構成されている。たとえば、遅延素子UD1は図5のように構成し、遅延素子UD2は図6のように構成し、以下同様にUD3は図5のNOT素子D1を8個カスケード接続して構成し、UD4は図5のNOT素子D1を16個カスケード接続して構成することができる。そして、これら各遅延素子UD1～UD4に対応するスイッチ回路Sw1～Sw4は、レジスタ5のレジスタ値に基づきオンオフ制御され、レジスタ値の4ビット中のあるビットが「1」であるとき、そのビットに対応するスイッチ回路が遅延素子側に倒れ、対応する遅延素子が発生する遅延時間がクロック信号に加わる。また、レジスタ値の4ビット中のあるビットが「0」であるとき、そのビットに対応するスイッチ回路がバイパス側に倒れ、対応する遅延素子はスキップされて、発生する遅延時間はクロック信号に加わらなくなる。

【0073】従って、ここでは各遅延素子UD1～UD4の発生遅延時間がそれぞれ、1DT、2DT、4DT、8DTに設定されてクロック信号に加わるようにされていることから、上記遅延素子4は、スイッチ回路の状態の組合せによって、遅延時間0から、遅延時間15DTまでの範囲で、クロック信号に加わる遅延時間を調整することができる。

【0074】図10に、調整可能な遅延素子4と、レジスタ5の最下位ビット5Aとを含んだ一構成例を示す。図10中、符号D1はNOT素子、D11はAND素子、D12はOR素子、UD1は単位遅延回路、5Aはレジスタ5の最下位ビット（一ビット分）、D15はクロック回路からのクロック入力である。クロック出力D16は、調整されるフリップフロップのクロック端子に入力される。D17はレジスタ5Aへの遅延設定値入力、D18はレジスタ5Aへの書き込み信号であり、これらをレジスタ5の全ビット分合わせ、なおかつ全レジスタ分合わせたものが、遅延設定信号93である。

【0075】ここにおけるスイッチは、AND素子D11とOR素子D12を用いた基本的なセレクト回路であり、一方のAND素子D11の出力には遅延DTを発生させる遅延素子UD1を挿入し、もう一方のAND素子D11の出力はOR素子D12に直結することで、遅延素子UD1をスキップしている。すなわち、レジスタ5Aの出力が論理値「1」のときは、遅延素子UD1側のAND素子D11が働いて遅延DTを発生させ、レジスタ5Aの出力が論理値「0」のときは、遅延素子UD1をスキップさせる側のAND素子D11が働いて遅延を発生させない。

【0076】図11に、調整可能な遅延素子4と、レジスタ5の1ビット分D13とを含んだ他の構成例を示す。この構成例は、トランスファゲート素子D20とバッファD19とからなる。トランスファゲート素子D20の働きはスイッチそのものであり、上述のAND素子とOR素子を組合せた場合と同様の働きを持つ。図10、図11の回路は

最下位ビットに関する実装例であるが、単位遅延回路としてそれぞれUD2、UD3、UD4を用いることにより、最下位から2ビット目、3ビット目、4ビット目に関する実装例が得られる。言うまでもなく、これらの構成例と同一の機能を有する他のデジタル回路を構成することは容易であり、上記実施例ではそれらを代わりに用いることもできる。

【0077】デジタルシステム内部状態信号12は、デジタルシステム1中の一部もしくは全部の、調整されるフリップフロップ2および調整されないフリップフロップ3の出力から構成され、デジタル信号観測装置7に入力される。デジタルシステム内部状態信号12をデジタル信号観測装置7に入力するには、例えば、それらのフリップフロップの出力をデジタルシステム1の出力端子として用意し、デジタル信号観測装置7に接続すればよい。

【0078】デジタルシステム内部状態信号12のビット数が多い場合には、上記のフリップフロップの出力を複数のグループに分けてセレクト回路に入力し、デジタルシステム1から出力するグループを切り替えながら、同じテスト信号10を繰り返し印加する方法をとってもよい。

【0079】あるいは、デジタルシステム1にスキャンバス回路を内蔵し、テスト信号10およびクロック信号9を途中で停止して、その時点のデジタルシステム1の内部状態をスキャンバス回路を用いて取り出し、デジタル信号観測装置7に渡す方法をとってもよい。ここにおけるスキャンバス回路とは、デジタルシステム1内の一部あるいは全部のフリップフロップを単一もしくは複数のシフトレジスタとして動作させるような動作モードを実現する回路であり、デジタルシステム1の動作途中の内部状態を観測したり、外部から内部状態を設定したりすることが可能となるものである。

【0080】遅延設定装置6Bからレジスタ5への遅延値設定の方法について説明する。レジスタ5の1ビット分5Aは、図10のように設定入力信号D17と設定（書き込み）指示信号D18とを有しており、遅延設定信号93は、全てのレジスタについての、この2種類の信号から構成されている。遅延設定信号93は遅延設定装置6Bから出力され、デジタルシステム1に入力される。例えば、遅延設定装置6Bはパーソナルコンピュータのバラレルインターフェースボードを用いて構成することができ、ビット数は上述の遅延設定信号93のビット幅分用意する。遅延設定装置6Bのバラレルインターフェース出力信号として出力される遅延設定信号93のうち、あるレジスタ5のあるビットの設定入力端子に接続されている遅延設定信号に0か1の信号を与え、対応する設定信号に接続されているビットに設定を指示する信号を与えることで、レジスタの書き込みが実現できる。この時レジスタに書き込む値は、調整アルゴリズム実行装置6Aが算出した値である。

【0081】あるいは、デジタルシステム1内の全レジスタ5に番号を振り、遅延設定信号93をこのレジスタ番号とそのレジスタに書き込む値と設定指示信号とから構成することもできる。この場合には、遅延設定装置6Bからデジタルシステム1に送られた遅延設定信号93は、デジタルシステム1内でマルチプレクサ回路を用いてレジスタ番号に従って振り分けられ、レジスタ番号で指定されたレジスタの設定入力端子に遅延設定値を与え、設定指示信号を指定されたレジスタの設定指示信号として与える。この場合の遅延設定装置6Bとデジタルシステム1との接続にも、同様にパラレルインターフェースボードを用いることができる。

【0082】あるいは、遅延設定装置6B内で全レジスタ用の設定値を一行に並べ、パラレル-シリアル変換して生成したシリアル信号(1ビット幅の信号)を遅延設定信号93とすることもできる。この場合には、遅延設定信号93は、デジタルシステム1の内部でシリアル-パラレル変換して、各設定値をそれぞれのレジスタに書き込む。遅延設定信号93が1ビット幅の信号であるので、遅延設定装置6Bとデジタルシステム1との接続にはRS-232Cなどのシリアルインターフェース回路を用いることができる。

【0083】次に、上記実施例のデジタルシステム1の調整のための、本発明の調整方法の第1実施例について説明する。

【0084】上記デジタルシステム1が製造された後、調整工程で、図1に示すように、調整装置6、デジタル信号観測装置7およびデジタルテスト信号発生装置8がそのデジタルシステム1にそれぞれ接続され、デジタルテスト信号発生装置8は、デジタルシステム1にデジタルテスト信号10およびクロック信号9を入力し、調整装置6は、図13に示す処理手順に従って、レジスタ5のレジスタ値の設定を行う。

【0085】この処理手順では、先ずステップS1で、調整装置6が、あらかじめ定められた初期設定値をレジスタ5に書き込んでレジスタ値として保持させ、次のステップS2で、デジタルテスト信号発生装置8がテスト信号を出力して、そのテスト信号に対しデジタルシステム1を一定周波数のクロック信号9の入力のもとに動作させ、次のステップS3で、そのデジタルシステム1の出力およびデジタルシステムの内部状態をデジタル信号観測装置9が観測してその結果を調整装置6に送り、次のステップS4で、調整装置6が、送られてきた観測値を使用して、デジタルシステム1が、誤りなく動作するか否かを判定する。

【0086】ここで誤った動作をする場合には、ステップS5で、調整装置6が、レジスタ5が保持しているレジスタ値を変更し、次のステップS6で、変更の結果が安定するまで一定時間待機し、次のステップS7で、終了条件をみたしたか否かを判断し、終了条件をみたして

いればステップS8で不良品処理を行った後に当該処理を終了するが、終了条件をみたしていなければステップS2へ戻る、という一連の処理が繰り返し実行される。そして上記ステップS4で、デジタルシステム1が誤りなく動作したとの判定が得られた場合には、ステップS9で良品処理を行った後に当該処理を終了する。

【0087】上述した初期設定値からレジスタ値を変更する方法については、いくつかの方法を使用することができ、以下にその例を示す。すなわち、第1の方法は、想定されるレジスタ値の範囲におけるすべての組合せについて、適当な順序で順次設定値を切り替えていく方法であり、第2の方法は、乱数的に設定値を発生させる方法である。そして第3の方法は、設計時に得られる遅延値を初期設定値とし、その初期設定値から+方向と-方向に設定値を微小に変化させる方法である。

【0088】調整対象のデジタルシステム1内に調整可能な遅延素子4の数が少なく、レジスタ値の組合せ爆発を生じない場合は、第1、第2の方法を用いることができる。しかし、本実施例は、調整可能な遅延素子4の数が多く、レジスタ値の調整探索空間において組合せ爆発の発生が想定される場合であるので、第3の方法を使用する。このとき、遺伝的アルゴリズムと呼ばれる方法を使用する。以下では、遺伝的アルゴリズムを用いたデジタルシステム1の調整方法について説明する。

【0089】上記遺伝的アルゴリズムの参考文献としては、例えば、出版社ADDISON-WESLEY PUBLISHING COMPANY, INC. が1989年に出版した、David E. Goldberg 著の「Genetic Algorithms in Search, Optimization, and Machine Learning」がある。なお、本発明でいう遺伝的アルゴリズムとは、進化的計算手法(Evolutionary Computation)のことをいう。

【0090】デジタルシステム1がどの程度誤りなく動作するかは、すべての調整可能な遅延素子の遅延値を引数とする評価関数Fで表すことができる。デジタルシステム1が誤りなく動作するということは、評価関数Fを最適にする遅延値を求めることと等価である。本発明者はこの点に着目し、デジタルシステム1の調整に上記の遺伝的アルゴリズムを適用可能なことを発見した。調整装置6は、この遺伝的アルゴリズムにしたがってレジスタ5のレジスタ値を変更する。

【0091】遺伝的アルゴリズムでは、先ず遺伝子を持つ仮想的な生物の集団を設定し、あらかじめ定めた環境に適合している個体が、その適合度の高さに応じて生存し、子孫を残す確率が増えるようにする。そして、遺伝的操作と呼ばれる手順で親の遺伝子を子に継承させる。このような世代交代を実行し、遺伝子および生物集団を進化させることにより、高い適合度を持つ個体が生物集団の大勢を占めるようになる。そしてその際の遺伝的操作としては、実際の生物の生殖においても生じる、遺伝子の交叉、および突然変異等が用いられる。

21

【0092】図14は、かかる遺伝的アルゴリズムの概略手順を示すフローチャートであり、ここでは、初めにステップS11で、個体の染色体を決定する。すなわち、世代交代の際に親の個体から子孫の個体に、どのような内容のデータをどのような形式で伝えるかを定める。図15に染色体を例示する。ここでは、対象とする最適化問題の変数ベクトル x を、 M 個の記号 A_i ($i=1, 2, \dots, M$)の列で表わすことにし、これを M 個の遺伝子座からなる染色体とみなす。各記号 A_i は遺伝子であり、これらのとりうる値が対立遺伝子である。図15中、Chは染色体、Gsは遺伝子座を示し、遺伝子座の個数 M は5である。対立遺伝子としては、ある整数の組、ある範囲の実数値、単なる記号の列などを問題に応じて定める。図15の例では、a~eのアルファベットが対立遺伝子である。このようにして記号化された遺伝子の集合が個体の染色体である。

【0093】上記ステップS11では次に、各個体が環境にどの程度適応しているかを表わす適応度の計算方法を決定する。その際、対象とする最適化問題の評価関数の値がより高い変数あるいはより低い変数ほど、それに対応する個体の適応度が高くなるように設計する。またその後に行う世代交代では、適応度の高い個体ほど、生き残る確率あるいは子孫を作る確率が他の適応度の低い個体よりも高くなるようにする。逆に、適応度の低い個体は、環境にうまく適応していない個体とみなして、消滅させる。これは、進化論における自然淘汰の原理を反映したものである。すなわち適応度は、生存の可能性という面から見て各個体がどの程度優れているかを表わす尺度となる。

【0094】遺伝的アルゴリズムでは、探索開始時には、対象とする問題は一般にまったくのブラックボックスであり、どのような個体が望ましいかはまったく不明である。このため通常、初期の生物集団は乱数を用いてランダムに発生させる。従ってここにおける手順でも、ステップS12で処理を開始した後のステップS13では、初期の生物集団は乱数を用いてランダムに発生させる。なお、探索空間に対して何らかの予備知識がある場合は、評価値が高いと思われる部分を中心にして生物集団を発生させるなどの処理を行うこともある。ここで、発生させる個体の総数を、集団の個体数という。

【0095】次にステップS14で、生物集団中の各個体の適応度を、先にステップS11で決めた計算方法に基づいて計算する。各個体について適応度が求まったら、次にステップS15で、次の世代の個体の基となる個体を集団から選択淘汰する。しかしながら選択淘汰を行うだけでは、現時点で最も高い適応度を持つ個体が生物集団中に占める割合が高くなるだけで、新しい探索点が生じないことになる。このため、次に述べる交叉と突然変異と呼ばれる操作を行う。

【0096】すなわち、次のステップS16では、選択淘

22

汰によって生成された次世代の個体の中から、所定の発生頻度で二つの個体のペアをランダムに選択し、染色体を組み変えて子の染色体を作る(交叉)。ここで、交叉が発生する確率を、交叉率と呼ぶ。交叉によって生成された子孫の個体は、親にあたる個体のそれぞれから形質を継承した個体である。この交叉の処理によって、個体の染色体の多様性が高まり進化が生じる。

【0097】交叉処理後は、次のステップS17で、個体の遺伝子を一定の確率で変化させる(突然変異)。ここで、突然変異が発生する確率を突然変異率と呼ぶ。遺伝子の内容が低い確率で書き換えられるという現象は、実際の生物の遺伝子においても見られる現象である。ただし、突然変異率を大きくしすぎると、交叉による親の形質の遺伝の特徴が失われ、探索空間中をランダムに探索することと同様になるので注意を必要とする。

【0098】以上の処理によって次世代の集団が決定され、ここでは次に、ステップS18で、生成された次世代の生物集団が探索を終了するための評価基準を満たしているか否かを調べる。この評価基準は、問題に依存するが、代表的なものとして次のようなものがある。

- ・生物集団中の最大の適応度が、あるしきい値より大きくなった。
- ・生物集団全体の平均の適応度が、あるしきい値より大きくなった。
- ・生物集団の適応度の増加率が、あるしきい値以下の世代が一定の期間以上続いた。
- ・世代交代の回数が、あらかじめ定めた回数に到達した。

【0099】上述の如き終了条件(評価基準)の何れかが満たされた場合は、ステップS19へ進んで探索を終了し、その時点での生物集団中で最も適応度の高い個体を、求める最適化問題の解とする。終了条件が満たされない場合は、ステップS14の各個体の適応度の計算の処理に戻って探索を続ける。このような世代交代の繰り返しによって、集団の個体数を一定に保ちつつ、個体の適応度を高めることが出来る。以上が遺伝的アルゴリズムの概略である。

【0100】上で述べた遺伝的アルゴリズムの枠組みは、実際のプログラミングの詳細を規定しない緩やかなものとなっており、個々の問題に対する詳細なアルゴリズムを規定するものではない。このため、遺伝的アルゴリズムを本実施例のデジタルシステムの調整に用いるには、以下の項目をデジタルシステムの調整用を実現する必要がある。

- (a) 染色体の表現方法
- (b) 個体の評価関数
- (c) 選択淘汰方法
- (d) 交叉方法
- (e) 突然変異方法
- (f) 探索終了条件

【0101】図16は、本実施例における遺伝的アルゴリズムを用いた調整装置6の処理手順を示すフローチャートである。なお、この図16の処理は、図13のステップS3～ステップS5の処理を具体的に示すものである。本実施例は、遺伝的アルゴリズムの染色体として、レジスタ5のレジスタ値を直接用いることを大きな特徴としており、これにより、染色体の情報をレジスタ値に変換するための処理等を不要とすることができる。すなわち、本実施例における染色体は、図17に示すように、複数個のレジスタ5のレジスタ値から構成されている。なお、図17における遅延値で、符号が正（符号なし）のものはその時間だけ信号を遅延させ、符号が負のものはその時間だけ信号を進ませるものであり、遅延値の単位psはピコ秒を意味する。

【0102】図16の処理で使用する、遺伝的アルゴリズムの個体の評価関数Fとしては、個体の染色体が表現するレジスタ値でデジタルシステム1を設定したのち動作させ、デジタル信号観測装置9によって観測されたデジタル出力が期待値にどのくらい近いかを表す関数を用いる。

【0103】図16に示す処理で用いるために、先に図13のステップS1で遺伝的アルゴリズムの初期集団として、一様乱数を用いて個体を複数作成する。つまりこの場合には、初期集団の各染色体の各遺伝子の値は確率0.5で1の値を、確率0.5で0の値をとることを意味する。但し、クロックタイミングの不均一さの傾向について何らかの予備知識が存在する場合には、より適応度が高いと思われる個体を初期集団として作成することができる。

【0104】デジタル信号観測装置7から送られてきた観測値から、調整装置6により上記評価関数を用いて適応度を計算する。その後、デジタルシステム1の性能が誤りなく動作するか否かをステップS23で判定し、誤った動作をする場合には、ステップS24の選択淘汰、ステップS25の交叉、ステップS26の突然変異およびステップS27の処理を行って、次世代の個体の集団（解の候補の集団）を作り出す。

【0105】しかして、ステップS23での判断でデジタルシステム1の性能が誤りなく動作したときに、ステップS9で良品処理を行った後、調整処理は終了するが、一定世代数繰り返して調整処理をおこなっても誤りなく動作する染色体（レジスタ値）が得られない場合には、調整対象のデジタルシステム1は不良品と判断され、図13のステップS8で不良品としての処理を行う。

【0106】上記ステップS24の選択淘汰処理においては、図18のフローチャートに示す方法を用いる。この方法は、まずステップS31およびステップS32で、集団中からランダムに二つの個体A、Bを選び、次いでステップS33～ステップS35で、その二つの個体A、Bのうち、より適応度の値が大きいほうの個体を次世代に生き

残らせる個体とする。そして生き残った個体の数が集団の個体数に達するまで、ステップS36からステップS31へ戻ってその操作をくり返す。この方法では、適応度の大きい個体が次の世代の個体として選ばれる可能性が高いが、個体A、Bをランダムに選択しているため適応度が低い個体でも次世代の個体として選ばれる可能性が残されることになる。このようにするのは、適応度が高い個体だけ残すと、集団の収束性が高まり、局所的な最適解にとらわれて調整に失敗しやすくなるためである。

【0107】上記ステップS25の交叉処理では、図19の説明図に示す方法を用いる。これは染色体をランダムな位置で部分的に入れ替える操作であり、1点交叉と呼ばれる手法である。図19では、Ch1およびCh2が選択淘汰の結果生き残った親A、Bの染色体であり、ここにおける交叉処理では、これらの染色体を、ランダムに選んだ交叉位置CPで切断する。図19の例では、左から3番目の遺伝子と4番目の遺伝子との間を交叉位置としている。そしてここでは、切断した部分的な遺伝子型を入れ替えることによって、染色体Ch3およびCh4をそれぞれ持つ子A'、子B'を生成し、これらをもとの個体A、Bと置き換える。

【0108】ステップS25での交叉に引き続いて実行する上記ステップS26の突然変異は、各染色体の遺伝子の各ビットを、突然変異率の生起確率で、0を1、あるいは1を0に変更する操作である。図20に突然変異の例を示す。この図では、染色体Ch5の、四角で囲んで示す左から2ビット目と右から3ビット目の遺伝子に突然変異が生じ、それぞれが染色体Ch6において対立遺伝子に変更されている。

【0109】上述したように、本実施例のデジタルシステム1では、デジタルシステム1内の複数のフリップフロップ素子へのクロック回路に、遅延値が可変である遅延素子4を挿入し、それらの遅延素子4の遅延値をデジタルシステム1が誤りなく動作するように探索する。従って、デジタルシステム製造工程におけるクロック回路の品質の不均一、設計上の誤差等に起因するクロックタイミングの誤差を吸収して、デジタルシステム1を誤りなく動作するように調整することができ、このことは、従来技術による場合より少ない設計労力で、従来技術による場合より大規模・高速なデジタルシステムが得られることを意味する。なお、本実施例において、調整対象とするフリップフロップを選択するために、LSI CADシステムが算出する各フリップフロップごとのタイミングの余裕時間のデータを用いることもできる。すなわち、余裕時間の少ない方から特定数のフリップフロップを選択して調整対象とする、もしくは、デジタルシステムの動作周波数の上限を決定する、クリティカルパスのパス上、および、その周辺のフリップフロップを調整対象とする等である。

【0110】また、本実施例に関しては、以下の調整方

法も用いることができる。すなわち、上述した調整方法では、クロック信号9の周波数は一定値であるとしたが、その調整が終了したのち、クロック信号9の周波数を上昇させて、同様の調整を行うことで、さらに動作周波数が高くなるように調整することができる。

【0111】図21に、上記の場合の調整方法を示す。この処理手順では、まずステップS61でデジタルシステム1に入力されるクロック信号9の周波数を f_0 に設定した後、ステップS62で、調整装置6が、図13に示したステップS1からステップS9の調整を行う。次のステップS63で、ステップS61の調整の結果、デジタルシステム1が良品に調整されたか否かを判断する。調整の結果、良品にならなかった場合は当該処理を終了する。調整の結果、良品になった場合は、ステップS64でクロック周波数9を f_0 よりも大きな値 f_1 に設定する。その後、ステップS65でステップS62と同様にデジタルシステム1の調整を行う。ステップS66ではステップS63と同様な判断を行い、良品だった場合にはさらに周波数を大きな値にして調整するということを繰り返す。繰り返しの結果、ステップS68でクロック周波数を上限値 f_n に設定した場合、ステップS69で調整を行い、当該処理は終了する。

【0112】前記クロック周波数 f_0 はデジタルシステム1の動作周波数の設計値、周波数 f_n は許容される入力クロック周波数の上限によって定まる。 n の値および f_1 から f_{n-1} の値は、必要とされる調整の精度によって決定する。この調整方法により、クロックタイミングのばらつきに応じて、デジタルシステム1の動作周波数の上限値を向上させることができる。

【0113】また、 f_0 を動作周波数の設計値より下方に設定し、徐々にクロック周波数 f_i ($i = 1, \dots, n$) をあげて調整した場合、調整に時間はかかるものの確実に調整を行えるという利点もある。

【0114】さらに上記調整方法により、動作周波数 f_j で良品と判定されたデジタルシステムを、システムの使用時には f_i ($i < j$) の周波数で動作させることにより、デジタルシステムの安定性を高めることができる。なぜならば、使用時よりも高い周波数で動作するようにクロックタイミングが調整されているために、デジタルシステムの温度や外部の電磁ノイズの影響によって、クロックタイミングに微妙な変化が生じた場合にでも、誤動作が発生しにくくなるからである。

【0115】この調整方法は、デジタルシステム1の量産工程においても用いることができる。従来の量産工程では一般的に調整を行わずに動作試験のみをおこない、各システムのばらつきの度合いによって定まる動作周波数の上限に応じて選別を行っていた。しかし、上記調整方法によれば、製造されたデジタルシステムで個別に調整をおこない、動作周波数を向上させることができるので、高い周波数で動作するデジタルシステムの比率を高

めることができる。そのため、高い周波数で動作するデジタルシステムは高価格で販売されるがため生産効率を向上させることができる。

【0116】次に、本発明の第1実施例では次のような変形例がある。先の実施例では、調整装置6、デジタル信号観測装置7およびデジタルテスト信号発生装置8は外部装置としてデジタルシステム1に脱着可能に接続される。しかしながら本発明では、前記外部装置に相当する回路を調整手段としてデジタルシステム1に組み込んでもよい。

【0117】このように構成された変形例を図22に示す。ここではデジタルシステム1内にデジタルシステム本体1Lの他、前記外部装置に相当する回路が組み込まれている。デジタルシステム1Lの入力端子および出力端子と、デジタルシステム1Lの外部入力端子32および外部出力端子33との間にはそれぞれ、切換スイッチ30が設置されている。この切換スイッチ30は、図示例のようにデジタルシステム1L内に設けられていても良いが、デジタルシステム1外に設けられていても良い。

【0118】ここで、切換スイッチ30を操作すると、デジタルシステム本体1Lの出力がデジタル信号観測回路7Lに入力されるとともに、調整回路6L、デジタル信号観測回路7Lおよびデジタルテスト信号発生回路8Lが動作を開始し、レジスタ値の調整を行う。調整が終了したら、切換スイッチ30の操作で、デジタルシステム本体1Lの出力を出力端子33側に切り替える。なお、この例では、デジタルシステム本体1Lが誤りなく動作するレジスタ値が得られない場合に警告表示をする発光素子31が設けられている。

【0119】かかる変形例によれば、製造時のデジタルシステム1の調整だけでなく、ユーザがデジタルシステム1を組み込んだ製品を購入した後、ユーザ自身がデジタルシステム1の調整を随時行うこともできる。また、デジタルシステム1を製造したのち、調整を業となすものがデジタルシステム1をさらに調整することもできる。また、デジタルシステム1Lが置かれた環境の温度その他が変化した場合等に、デジタルシステム本体1L内のクロックタイミングに変化が生じても、その変化を補償することができ、デジタルシステム本体1Lの誤動作の確率を低減できるというメリットがある。なお、切換スイッチ30は手動に限らず、電源投入時に自動切換するように構成することもできる。またクロック信号9は、デジタルシステム1内にクロック発生回路が設置されている場合には、そのクロック信号を用いてもよい。

【0120】次に、本発明のデジタルシステムの第2実施例について説明する。本実施例は、メモリテストパターンジェネレータ回路に対して本発明の方法を適用した場合の一構成例である。図27は、メモリテストパターンの発生を基本的機能とする、本発明のデジタルシステムの第2実施例としてのメモリテストパターンジェネレ

ータ回路1Gを示す構成図であり、図1のデジタルシステム1の部分に対応し、これ以外の装置は図1と同じものを用いる。ここでは、調整装置6、デジタル信号観測装置7およびデジタルテスト信号発生装置8は外部装置である。また、図1に示すものと同様の回路にはそれと同一の符号を付している。

【0121】調整されるフリップフロップ2は通常のDフリップフロップであり、調整されないフリップフロップ3も同様に通常のDフリップフロップである。調整されないフリップフロップ3のクロック端子には直接クロック回路が接続されるが、調整されるフリップフロップ2のクロック端子とクロック回路の間には、調整可能な遅延素子4が挿入されている。

【0122】調整可能な遅延素子4には、その遅延素子4の遅延時間を制御するレジスタ5が接続されている。ここでレジスタ5を4ビットとすれば、調整可能な遅延素子4は、図26のように構成することができる。さらに、遅延時間の最小単位DTを50psとすれば、調整可能な遅延素子4はレジスタ5の値に従って0psから750psまでの遅延を発生させることができる。レジスタ5は、4ビット幅を有する場合には、通常のDフリップフロップ4つで構成できる。レジスタ5には、4ビット分の遅延値設定信号と、4ビット共通の設定指示信号が入力される。

【0123】遅延設定信号93は、このレジスタ5の4ビット分の遅延値設定信号と共通の設定信号とを全レジスタ分集めたものである。また、デジタルシステム内部状態信号12は、調整されるフリップフロップ2の出力全てを集めたものである。

【0124】デコーダ回路20A1は、入力される信号にデコード処理を施すものであり、組合せ回路として構成される(フリップフロップなどの記憶素子は含まない)。ALU回路20A2は、2系統各4ビットの入力信号と4ビットの演算指定信号を入力し、2系統の入力信号間に演算指定信号に従った演算を施して、演算結果を4ビットの出力データとして出力する組合せ回路である。インバート回路20A3は、外部からの指定により、入力信号を反転、もしくは、非反転で出力する機能を有し、組合せ回路として構成されている。

【0125】PLL回路94は、クロック信号9の入力端子と調整されるフリップフロップ2に接続される調整可能な遅延素子4との間に接続され、調整されるフリップフロップ2に供給する、同一周波数で、かつ、タイミングが400psだけ進んだクロック信号を生成する。上述の通り、調整可能な遅延素子4は0psから750psまでの遅延を発生させることができるため、両者合わせて-400psから350psまでの遅延、つまり、400ps進んだ状態から350ps遅れた状態までのクロックを各調整されるフリップフロップ2に供給することができる。

【0126】従ってこの場合、調整されるフリップフロ

ップ2のクロックタイミングも、レジスタ5に設定される値によって-400psから350psまで変化する。例えば、レジスタ5に1011が設定された場合には、対応する調整されるフリップフロップ2のクロックタイミングは、外部から供給されるクロック信号9に対して150ps遅れる。

【0127】調整されないフリップフロップ3のクロック端子には、クロック信号9が直接供給され、調整されないフリップフロップ3は、クロック信号9と同じタイミングで動作する。

【0128】本実施例の回路は、ALU回路20A2の一方の入力が、調整されるフリップフロップ2をはさんでフィードバックされており、単純なパイプライン構造ではない。

【0129】本実施例では、デジタルシステム1の外部端子に接続されるフリップフロップを全て調整されないフリップフロップ3とし、それ以外を調整されるフリップフロップ2としたが、本発明としては必ずしもこの通りでなくともよい。また、同様に、デジタルシステム内部状態信号12を調整されるフリップフロップ2の出力のみから構成しているが、これも必ずしもこの通りでなくともよい。

【0130】本実施例に登場する各素子の特性値が必ずしも正確なものでなくとも、本発明の方式は適用可能であり、有効である。

【0131】本実施例は、高速なメモリ素子のテストに用いられるようなメモリテストパターンジェネレータ回路に適用する場合に特に好適である。さらに、本実施例で取り上げた回路の出力は4ビットであるが、よりビット数の多い出力を持つメモリテストパターンジェネレータ回路の場合、調整箇所が増え、かつ、フリップフロップ間の遅延時間の依存関係が複雑になって、組合せ爆発が起きやすいので、本発明は特に好適である。

【0132】以下に、図27に示す本実施例のメモリテストパターンジェネレータ回路1Gに適用される、本発明の第2実施例の調整方法を述べる。このメモリテストパターンジェネレータ回路1Gの性能は、複数の調整可能な遅延素子4A1～4A14の遅延値を引数とする評価関数Fで表すことができる。メモリテストパターンジェネレータ回路1Gが誤りなく動作することは、評価関数Fを最適にする遅延値を求めることと等価である。

【0133】本実施例では、調整される遅延素子4の数が14個(4A1～4A14)と多く、組合せ爆発の発生が想定される場合であるので、調整装置6は、評価関数Fを用い、遺伝的アルゴリズムに従ってレジスタ5の値を変更する。

【0134】遅延素子4の調整は、第1実施例の場合と同様、図13および図16に示すフローチャートに従って行われる。本実施例は、遺伝的アルゴリズムの染色体として、レジスタ5の値を直接用いることを大きな特徴とす

る。これにより、染色体の情報をレジスタ値に変換するための処理等が不要になる。

【0135】すなわち、本実施例における染色体は、図17に示すように、14個の遅延素子に対応する14個のレジスタ5のレジスタ値から構成されている。そして各素子パラメータに対応する各レジスタ5は、4ビットである。それゆえ、レジスタ長(=染色体長)は、56ビットである。従って、上記実施例のメモリテストパターンジェネレータ回路1Gにおける調整探索空間の大きさは、 $2^{56} \approx 10^{17}$ (10の17乗)であり、全探索による調整はいうまでもなく不可能である。

【0136】図26に示す遅延素子4において本実施例では、DTの値を50psとした。なお、この値は、クロックタイミングのバラツキに応じて定める。例えば、図17中のレジスタ値1011では、スイッチ回路Sw4、Sw2およびSw1がONとなって、遅延素子UD4、UD2およびUD1がクロック回路に接続され、この結果として、レジスタ値1011に対応する遅延は、 $8 \times 50 + 2 \times 50 + 50 - 400 = 150\text{ps}$ となる。同様に、レジスタ値0101に対応する遅延は $4 \times 50 + 50 - 400 = -150\text{ps}$ となり、レジスタ値0001に対応する遅延は -350ps となる。

【0137】図14の処理で使用する、遺伝的アルゴリズムの個体の評価関数Fとしては、個体の染色体が表現するレジスタ値でメモリテストパターンジェネレータ回路1Gを設定したのち動作させ、デジタル信号観測装置7によって観測された出力が期待値にどのくらい近いかを表す関数を用いる。具体的には、以下の評価関数Fで計算される値を、遺伝的アルゴリズムの適応度(fitness)に用いる。

【数1】 $\text{fitness} = F = \text{NC} / \text{NT}$

【0138】ここでNTは、デジタルテスト信号10の系列に対するメモリテストパターンジェネレータ回路1Gのデジタル出力信号11およびデジタルシステム内部状態信号12の総ビット数、NCは該メモリテストパターンジェネレータ回路のデジタル出力信号11およびデジタルシステム内部状態信号12のうち期待どおりのデジタル値の総ビット数である。上記の評価関数Fは、0から1までの実数値をとり、1の値をとったときに調整対象のメモリテストパターンジェネレータ回路1Gは誤りなく動作したことになる。例えば、ある染色体が表現するレジスタ値で設定したデジタルシステム1の出力系列のうちNCが253、NTが500であったとすると、その場合の評価関数Fの値は、0.506になる。

【0139】図14に示す処理で用いるために、先に図13のステップS1で遺伝的アルゴリズムの初期集団として、一様乱数を用いて個体を複数作成する。つまりこの場合には、初期集団の各染色体の各遺伝子の値は確率0.5で1の値を、確率0.5で0の値をとることを意味する。本実施例では、集団の個体数は50とした。

【0140】しかる後、各個体の表現するレジスタ値で

メモリテストパターンジェネレータ回路1Gを動作させ、ステップS3における観測装置5での観測結果を使用して、ステップS4において調整装置6で、上記評価関数により適応度を計算する。その後、順次に、ステップS24で選択淘汰、ステップS25で交叉、ステップS26で突然変異の処理を行ない、次世代の個体の集団(解の候補の集団)を作り出す。本実施例では、全個体数のうちの交叉を行う個体数の割合である交叉率は0.5とし、突然変異率は0.0125を用いた。

【0141】ステップS4では、メモリテストパターンジェネレータ回路1Gが誤りなく動作するかどうかを判断され、誤りなく動作したときに、良品処理を行い調整処理は終了する。また、一定世代数繰返して調整処理をおこなっても、誤りなく動作する染色体(レジスタ値)が得られない場合は、調整対象のメモリテストパターンジェネレータ回路1Gは不良品と判断され、ステップS8で不良品としての処理を行う。なお、本実施例では、繰返しを打ち切る世代数は20とした。

【0142】以下に、図27に示すメモリテストパターンジェネレータ回路1Gに本実施例の遺伝的アルゴリズムを用いた調整方法を適用した場合の実験結果について示す。この実験では、バイポーラ・テクノロジーを用いたセルベースのLSIチップで回路を作製した。

【0143】上記実験の結果、クロック周波数が800Mhzの時に、調整をしない場合は誤って動作していたLSIチップが、遺伝的アルゴリズムを用いた方法で調整を行ったところ、誤りなく動作することができた。図28に、実験中の世代中の最良個体の評価関数Fの値である適応度(10試行の平均値)と世代数との関係を示す。遺伝的アルゴリズムの世代が進むにつれて、適応度の値が上昇しタイミングが調整されていることがわかる。この実験により、本実施例の調整方法の有効性が確認できた。なお、本実施例では、セルベースの集積回路上にメモリテストパターンジェネレータ回路を実装したが、FPGAやCPLDなどの再構成可能な集積回路を用いて実装することもできる。この場合、遅延調整素子を通常の論理回路の一部として実装しても、また、遅延調整素子を中に作り込んだFPGAやCPLDを開発してそれを用いて実装してもよい。

【0144】上述したように、本実施例のメモリテストパターンジェネレータ回路1Gでは、フリップフロップ素子へのクロック回路に遅延素子4A1~4A14を挿入し、それらの遅延素子3の遅延時間をメモリテストパターンジェネレータ回路1Gが誤りなく動作するように探索する。従って、集積回路製造工程におけるクロック回路の品質の不均一、設計上の誤差等に起因するクロックタイミングの誤差を吸収して、メモリテストパターンジェネレータ回路1Gを誤りなく動作するように調整することができ、このことは、従来技術による場合より少ない設計労力、従来技術による場合より高速なデジタルシステム

が得られることを意味する。

【0145】本実施例に関しては、以下の変形例を実施できる。メモリテストパターンジェネレータ回路1Gの調整を行う際にデジタル信号観測装置7の出力以外に、メモリテストパターンジェネレータ回路1Gの消費電流量や発熱量も観測して評価関数(fitness)に組み込むことができる。一般的にLSIの発熱量や消費電流量はLSI内部のフリップフロップへ入力されるクロックタイミングによって変動するので、このようにすれば、多様な要求仕様に対応でき、調整精度を向上させることができる。

【0146】図29に上記の場合の構成例を示す。図29中、符号13は温度計、14は電源である。なお、図29中、図1に示すものと同様の部分はそれと同一の符号を付している。ここで、温度計13は、メモリテストパターンジェネレータ回路1GのLSIの温度を計測し、その値をA/D変換して、調整装置6に伝える。電源14は、メモリテストパターンジェネレータ回路1Gに電源を供給する装置であるが、その電流供給値をA/D変換して調整装置6に伝える。調整装置6では、デジタルテスト信号発生装置8がテスト信号10を出力している間に、温度および消費電流量を監視して、その間の平均温度および平均消費電流量を計算する。

【0147】本変形例では、例えば、次のような評価関数を用いることができる。

【数2】 $\text{fitness} = \text{NC} / \text{NT}$ (NC/NT < 1の場合)
 $\text{fitness} = 1 + 1 / (1.0 + w1 |T - T_m| + w2 |I - I_m|)$ (NC/NT = 1の場合)

【0148】ここで、fitnessは遺伝的アルゴリズムにおける適応度、Tは計測した平均温度、Iは計測した平均消費電流量、 T_m は理想的な平均温度、 I_m は理想的な平均消費電流量、 $w1$ 、 $w2$ は加重係数である。この評価関数では、メモリテストパターンジェネレータ回路1Gが誤動作しなくなるまで調整を行い、誤動作しなくなった後、さらに平均消費電流量、平均温度を理想的な値に近づけるように調整を行う。この発明においては、さらに調整精度を高めるために、消費電流量観測中におけるピーク値を上記評価関数に組み込んでもよい。

【0149】次に、この発明のデジタルシステムの第3実施例としての、パイプライン構造をもつデジタルシステムの一構成例を示す。図30は、この第3実施例のパイプライン構造をもつデジタルシステムの構成を示し、図30中、1Pはパイプライン構造をもつデジタルシステムであり、この実施例のシステムは、第1実施例におけるデジタルシステム1の代わりに、そのデジタルシステム1と同様の機能を奏するが具体的構成としてパイプライン構造を持つデジタルシステム1Pを用いて構成されている。なお、図1に示すと同様の構成要素にはそれと同一の符号を付している。

【0150】パイプライン構造とは一般に、ある組合せ

回路の出力が複数のフリップフロップに接続され、該フリップフロップの出力値によって前記組合せ回路の出力値が影響をうけない構造のことをいう。このパイプライン構造をもつデジタルシステム1Pは、クロック信号9が入力されるフリップフロップ2P1～2P8、3P1～3P8および、クロック信号9を入力されない組合せ回路20P1～20P3をもつ。4P1～4P8は調整可能な遅延素子であり、各々、レジスタ5P1～5P8の示す値に応じてその遅延時間が調整される。本実施例では、その調整箇所は8カ所である。図30中、符号11は前記フリップフロップ3P5～3P8の保持しているデジタル値をよみだす信号線、12は前記フリップフロップ2P1～2P8の保持しているデジタル値をよみだす信号線であり、それぞれデジタル信号観測装置7に接続されている。

【0151】パイプライン構造をもつデジタルシステムにおいては、クロック回路内のインピーダンス不整合、浮遊容量等によりクロック信号9がフリップフロップ3P1～3P8および2P1～2P8に入力されるタイミングが不均一になることに起因して誤動作を生じ、パイプライン構造をもつデジタルシステムの出力11が期待値にならないことが多い。それゆえ、誤動作対策としては、クロック信号のタイミングを調整するのが有効であるが、遅延素子4P1から4P8までの調整箇所を総合的に調整する必要がある。そこで、かかるシステムではパイプライン構造によるデータ信号の依存関係に特徴をもっていることから、それを有効に利用して調整を行う方法を発明した。

【0152】以下に、上記パイプライン構造をもつデジタルシステム1Pの調整のための、本発明の調整方法の第3実施例について説明する。この実施例の調整方法も、基本的には先の第1実施例の調整方法と同様であるが、レジスタの調整を部分的かつ段階的に行う。

【0153】パイプライン構造をもつデジタルシステム1Pが製造された後、検査工程で、図30に示すように、調整装置6、デジタル信号観測装置7、デジタルテスト信号発生装置8がそのパイプライン構造をもつデジタルシステム1Pにそれぞれ接続される。デジタルテスト信号発生装置8は、パイプライン構造をもつデジタルシステム1Pにテスト信号10およびクロック信号9を入力する。デジタル信号観測装置7はパイプライン構造をもつデジタルシステム1Pの出力値および/またはフリップフロップ2P1～2P8の値を観測して調整装置6に与える。調整装置6は、図31に示す処理手順に従い、遺伝的アルゴリズムを用いてレジスタ5P1～5P8のレジスタ値の設定を行う。

【0154】この処理手順では、まずステップS100で、調整装置6が、あらかじめ定められた初期設定値をレジスタ5に書き込んでレジスタ値として保持させ、次のステップS101で、デジタルテスト信号発生装置8がテスト信号を出力して、そのテスト信号に対しデジタル

システム1Pを一定周波数のクロック信号9の入力のもとに動作させ、次のステップS102で、フリップフロップ2P1から2P4の保持しているデジタル値をデジタル信号観測装置9が観測してその結果を調整装置6に送り、次のステップS103で、調整装置6が、送られてきた観測値を使用して、適応度の値が一定値以下か否かを判定する。

【0155】適応度の値が一定値以下の場合には、ステップS104で、調整装置6が、レジスタ5P1から5P4が保持しているレジスタ値を変更し、次のステップS105で、変更の結果が安定するまで一定時間待機し、次のステップS106で、終了条件をみたしたか否かを判断し、終了条件をみたしていればステップS107で不良品処理を行った後に当該処理を終了するが、終了条件をみたしていなければステップS101へ戻る、という一連の処理が繰り返し実行される。そして上記ステップS103で、適応度の値が一定値以上であるとの判定が得られた場合には、レジスタ5P1から5P4の調整を終了し、ステップS108に進む。

【0156】ステップS108では、デジタルテスト信号発生装置8がテスト信号を出力して、そのテスト信号に対しデジタルシステム1Pを動作させ、次のステップS109では、フリップフロップ2P5から2P8および出力11の保持しているデジタル値をデジタル信号観測装置9が観測してその結果を調整装置6に送り、次のステップS110では、調整装置6が、送られてきた観測値を使用して、適応度の値が一定値以下であるか否かを判定する。

【0157】ここで適応度の値が一定値以下の場合には、ステップS111で、調整装置6が、レジスタ5P5から5P8が保持しているレジスタ値を変更し、次のステップS112で、変更の結果が安定するまで一定時間待機し、次のステップS113で、終了条件をみたしたか否かを判断し、終了条件をみたしていればステップS114で *

$$\text{fitness} = \text{NC} / \text{NT}$$

$$\text{fitness} = 1 + 1 / (1.0 + |\text{DL}|)$$

【0161】ここで、NTはデジタルテスト信号10の系列に対してデジタル信号観測装置7で観測されるデジタル値の総ビット数であり、NCは該デジタル値のうち期待通りのデジタル値の総ビット数である。fitnessは遺伝的アルゴリズムにおける適応度、DLは調整しているすべての遅延素子の遅延時間の合計である。この評価関数では、パイプライン構造をもつデジタルシステム1Pが誤りなく動作するまで調整を行い、誤って動作しなくなった後、さらになるべく遅延値の値の合計が少なくするように調整を行う。なお、上記ステップS103およびステップS110における適応度の判断基準値には、この場合1.0以上の値を用いればよい。

【0162】本実施例の方法によれば、パイプライン構造をもつデジタルシステム1P内のクロック信号9上に複数の調整可能な遅延素子4P1～4P8を使用し、それらの※50

*不良品処理を行った後に当該処理を終了するが、終了条件をみたしていなければステップS108へ戻る、という一連の処理が繰り返し実行される。そして上記ステップS110で、適応度の値が一定値以上であるとの判定が得られた場合には、ステップS115で良品処理を行った後に当該処理を終了する。

【0158】ここでの遺伝的アルゴリズムの処理手順も実施例1の場合と同様であり、遺伝的アルゴリズムにおける染色体とレジスタ値は一対一で対応している。すなわち、ステップS101からステップS103のループにおける調整では、染色体はレジスタ5P1から5P4の4カ所の調整箇所に対応する4個のレジスタ値から構成されている。ステップS108からステップS110のループにおける調整では、染色体はレジスタ5P5から5P8の4カ所の調整箇所に対応する4個のレジスタ値から構成されている。各調整箇所に対応する各レジスタは、ここでは4ビットのものとされている。それゆえ、染色体長は、16ビットであり、従って、上記実施例の部分的な調整探索空間の大きさは、 $2^{16} = 65536$ である。

【0159】ところで、遺伝的アルゴリズムによる調整においては、一般的に全調整探索空間の大きさに比例した探索時間を要する。しかしながらここでは、上記のようにデジタルシステム1Pの調整を、パイプライン構造のデータの依存関係に着目して、レジスタ5P1から5P4の部分的な調整と、レジスタ5P5から5P8の調整に分割して行うので、全調整探索空間の大きさは $65536 \times 2 = 131072$ となり、全レジスタを同時に調整した場合の大きさ $2^{16} (16+16) \approx 10^9$ (10の9乗)と比較して、劇的に削減することができる。

【0160】ここにおける調整装置6は、例えば下記に示す評価関数を用いて評価を行う。

【数3】

($\text{NC} / \text{NT} < 1$ の場合)

($\text{NC} / \text{NT} = 1$ の場合)

※遅延値を、デジタルシステム1Pが誤動作をしないように調整するので、パイプライン構造をもつデジタルシステムの製造工程におけるクロック回路のプロセスの不均一や設計上の誤差等に起因するクロックタイミングのずれを吸収して、パイプライン構造をもつデジタルシステム1Pが誤動作しないように調整することができる。また、本実施例では、パイプライン構造のデータ依存関係に着目し、調整を部分的かつ段階的に行うことができるので、調整探索空間を小さくし調整時間を少なくすることができる。

【0163】本実施例においてはパイプライン構造の段数を4としたが、本発明においては、いうまでもなく段数の大小を問わない。また、部分的にレジスタの調整を行う際に、データラインの数が少ない場合は、部分的な調整探索空間が小さくなるので、遺伝的アルゴリズムを

用いた調整方法を用いず、全探索法を用いてもよい。例えば、調整されるレジスタの数が2で、各レジスタのビット数が4ビットであった場合、部分的な調整探索空間は $2^8=256$ となるので、ありうるすべての可能性を調べて調整すればよい。

【0164】次に、この発明のデジタルシステムの第4実施例としてのデジタル回路基板の一構成例を示す。図32は、この第4実施例のデジタル回路基板の構成を示し、図32中、1Bはデジタル回路基板であり、この実施例のシステムは、第1実施例におけるデジタルシステム1の代わりに、そのデジタルシステム1と同様の機能を奏するデジタル回路基板1Bを用いて構成されている。なお、図1に示すと同様の構成要素にはそれと同一の符号を付している。

【0165】このデジタル回路基板1B内には、クロック信号9が入力されるLSI1L1~1L10およびクロック信号を入力されない電子部品16が複数個実装されている。また、それらのLSIおよび電子部品は、図示しないデータ信号線で互いに接続されている。4B1~4B10は遅延時間を調整可能な遅延素子であり、各々、レジスタ5B1~5B10の示す値に応じてその遅延時間が調整される。本実施例では、その調整箇所は10カ所である。また、符号15は外部装置である電磁波測定装置である。

【0166】デジタル回路基板においては、基板上のクロック回路内のインピーダンス不整合、浮遊容量等によりクロック信号が各LSI1L1~1L10に入力されるタイミングが不均一になることに起因して、誤動作を生じるLSIが存在し、デジタル回路基板の出力11が期待値にならない場合が多い。それゆえ、誤動作対策としては、各LSIへのクロック信号のタイミングを調整するのが有効であるが、LSI1L1~LSI1L10のデータ信号は互いに依存関係をもっているため、遅延素子4B1から4B10までの調整箇所を総合的に調整する必要がある。

$$\text{fitness} = \text{NC} / \text{NT}$$

$$\text{fitness} = 1 + 1 / (1.0 + |P|)$$

【0171】ここで、fitnessは遺伝的アルゴリズムにおける適応度、Pは計測した電磁波のピークパワーである。この評価関数では、デジタル回路基板1Bが誤動作しなくなるまで調整を行い、誤動作しなくなった後、さら放射ノイズのパワーのピーク値をなるべく低減するように調整を行う。

【0172】ここにおける染色体とレジスタ値とは、第1実施例の方法の場合と同様に一対一で対応している。すなわち、図17に示すと同様に、染色体は、上記実施例の10カ所の調整箇所に対応する10個のレジスタ5のレジスタ値から構成されている。そして各調整箇所に対応する各レジスタ5は、ここでは4ビットのものとされている。それゆえ、染色体長は、40ビットである。従って、上記実施例のデジタル回路基板1Bの調整探索空間の大きさは、 $2^{40}=10^{12}$ (10の12乗)であり、全探索によ

*【0167】また、デジタル回路基板においては、基板上を高い周波数の高調波成分を含んだデジタル信号電流が流れるので、基板から放射される電磁ノイズのパワーが大きい。そのため、EMIノイズとして、人体や近傍にある他の電子装置に影響を与える。この放射ノイズは、各LSIへの入力クロックタイミングを微小にずらすことにより、そのパワーのピーク値を下げるができる。よって、上記放射ノイズを観測しクロックタイミングを調整することで、その放射ノイズによる外部への影響を低減することができる。

【0168】上記電磁波測定装置15は、基板から放射される電磁波のパワーを計測し、その値をA/D変換して、調整装置6に伝える。調整装置6では、デジタルテスト信号発生装置8がテスト信号を出力している間に、電磁波パワーを監視して、その間のピーク値を算出する。

【0169】上記デジタル回路基板1Bの調整のための、本発明の調整方法の第4実施例について説明する。この実施例の調整方法も、基本的には先の第1実施例の調整方法と同様である。

【0170】デジタル回路基板1Bが製造された後、検査工程で、図32に示すように、調整装置6、デジタル信号観測装置7、デジタルテスト信号発生装置8および電磁波測定装置15がそのデジタル回路基板1Bにそれぞれ接続される。デジタルテスト信号発生装置8は、デジタル回路基板1Bにテスト信号10およびクロック信号9を入力する。デジタル信号観測装置7はデジタル回路基板1Bの出力値を観測し、電磁波測定装置15はデジタル回路基板1Bの放射ノイズを観測して、それぞれ調整装置6に与え、調整装置6は、例えば下記に示す評価関数を用いて評価を行う。

【数4】

$$(\text{NC} / \text{NT} < 1 \text{ の場合})$$

$$(\text{NC} / \text{NT} = 1 \text{ の場合})$$

※調整はいうまでもなく不可能である。

【0173】本実施例の方法によれば、デジタル回路基板1B内のクロック信号9上に複数の調整可能な遅延素子4B1~4B10を使用し、それらの遅延値を、デジタル回路基板1Bの出力が誤動作をしないように調整するので、デジタル回路基板製造工程におけるクロック回路の構成素子や構成材料の不均一や設計上の誤差等に起因するクロックタイミングのずれを吸収して、デジタル回路基板1Bが誤動作しないように調整することができる。また、本実施例では、デジタル回路基板1Bから電磁波として放射される放射ノイズをも考慮にいたした調整を行えるので、デジタル回路基板1Bの周囲に人体や他の電子装置が存在する場合に特に好適である。

【0174】なお、本実施例においては基板上に実装されるLSIを10個としたが、本発明においては、いうまで

もなくLSIの個数を問わない。また、回路基板の周囲に人体や他の電子装置が存在しない場合など、放射ノイズのパワーの大小を問わないときには、上記評価関数でPの値を考慮しなくてもよいのはいうまでもない。

【0175】本実施例の方法は、クロック周波数が高い場合に特に好適である。なぜなら、クロック周波数が高い場合、クロック信号のタイミング調整がより困難になり、なおかつ、電磁放射ノイズの高周波成分のパワーがより強くなるからである。

【0176】上述した第1～第4実施例では、レジスタ5の初期設定値の取り方、および初期設定値からレジスタ値を変更する方法については遺伝的アルゴリズムを用いた。しかしながら、クロックの信号線が本構造をなしている場合には、遺伝的プログラミングとよばれるアルゴリズムを遺伝的アルゴリズムの代わりに用いることもできる。

【0177】遺伝的プログラミングの詳細は、例えば、MIT Pressが1992年に出版した、J.Koza著の「Genetic Programming」を参照されたい。遺伝的プログラミングは、遺伝的アルゴリズムに本構造の染色体を扱えるよう
20 な工夫を加えたものである。

【0178】次に述べる本発明の第5実施例のデジタルシステムおよびその調整方法では、図33に示すシステム構成において、調整装置6で、この遺伝的プログラミングにしたがってレジスタ5の値を変更する。本実施例では特に、遺伝的プログラミングの染色体として、クロック回路の本構造をそのまま遺伝的プログラミングの染色体構造に写像することを大きな特徴とする。このようにすれば、第1実施例と同様に、染色体の情報をレジスタ値に変換するための回路等を不要とすることができる。
30

【0179】図33に示すデジタルシステム1Tは、デジタルシステム1と同様の機能を奏するが、このデジタルシステム1Tにおいては、クロック信号9Tがデジタルシステム1Tに入力され、それが本構造状に分岐して、デジタルサブシステム1TS1～1TS6に入力される。それらのデジタルサブシステム内では、上記クロック信号がすべてのフリップフロップにクロック信号として与えられる。クロック回路の各分岐には遅延素子4T1～4T5が挿入されており、それぞれの遅延値は対応するレジスタ値5RT1～5RT5に応じて変更可能である。なお、各デジタルサブシステム同士は、図示しないデータラインによって接続されている。

【0180】次に、遺伝的プログラミングに従った本発明の第5実施例の調整方法を述べる。この調整方法でも、第1実施例と同様に図13のフローチャートに従う。また、遺伝的プログラミングの処理手順は図16に示したフローチャートと同じであり、染色体の表現方法、交叉方法のみが異なる。

【0181】遺伝的プログラミングの染色体としては、図34に示す本構造を用いる。つまり、図33に示したクロ
50

ック回路の接続状態をそのまま表現した本構造を用い、染色体のノードCS1～CS5のそれぞれのビット列が各レジスタ5RT1～5RT5の値に対応する。図34では、各レジスタ長を3として説明したが、いうまでもなく任意のビット数の場合に本調整方法は適用できる。

【0182】図14の処理で使用する、遺伝的プログラミングの個体の評価関数Fとしては、個体の染色体が表現するレジスタ値でデジタルシステム1Tを設定したのち動作させ、デジタル信号観測装置9によって観測されたデジタル出力が期待値にどのくらい近いかを表す関数を用いる。

【0183】図14に示す処理で用いるために、先に図13のステップS1で遺伝的プログラミングの初期集団として、一様乱数を用いて個体を複数作成する。つまりこの場合には、初期集団の各染色体の各遺伝子の値は確率0.5で1の値を、確率0.5で0の値をとることを意味する。但し、クロックタイミングの不均一さの傾向について何らかの予備知識が存在する場合には、より適応度が高いと思われる個体を初期集団として作成することができる。

【0184】デジタル信号観測装置から送られてきた観測値から、調整装置6により上記評価関数を用いて適応度を計算する。その後、デジタルシステム1Tの性能が誤りなく動作するか否かをステップS23で判定し、誤った動作をする場合には、ステップS24の選択淘汰、ステップS25の交叉、ステップS26の突然変異およびステップS27の処理を行って、次世代の個体の集団（解の候補の集団）を作り出す。

【0185】しかして、ステップS23での判断でデジタルシステム1Tが誤りなく動作したときに、ステップS9で良品処理を行った後、調整処理は終了するが、一定世代数繰り返して調整処理をおこなっても誤りなく動作する染色体（レジスタ値）が得られない場合には、調整対象のデジタルシステム1Tは不良品と判断され、図6のステップS8で不良品としての処理を行う。

【0186】上記ステップS24の選択淘汰処理においては、実施例1の場合と同様に図16のフローチャートに示す方法を用いる。

【0187】上記ステップS25の交叉処理では、図35の説明図に示す方法を用いる。これは染色体の本構造をランダムな位置で部分的に入れ替える操作であり、遺伝的プログラミング固有の操作である。図35では、TR1およびTR2が選択淘汰の結果生き残った親A、Bの染色体であり、ここにおける交叉処理では、これらの染色体を、ランダムに選んだ交叉位置CPで切断する。そして、切断した部分的な遺伝子型を入れ替えることによって、染色体TR3およびTR4をそれぞれ持つ子A'、子B'を生成し、これらをもとの個体A、Bと置き換える。この方法を用いることにより、調整のために有効な染色体の部分情報を破壊することなく交叉を行うことができる。
50

【0188】ステップS25での交叉にひき続いて実行する上記ステップS26の突然変異は、各染色体の遺伝子の各ビットを、突然変異率の生起確率で、0を1、あるいは1を0に変更する操作である。図36に突然変異の例を示す。この図では、染色体TR5の、四角で囲んで示す遺伝子に突然変異が生じ、それぞれが染色体TR6において対立遺伝子に変更されている。

【0189】一般的な遺伝的プログラミングでは、交叉、突然変異のほか、木構造を挿入、削除する遺伝的操作も行われる。しかしながら、それらの操作は染色体長を変化させるので、それらの操作を使用すると染色体情報を直接レジスタ5の値に変換できなくなるため、本実施例では用いない。

【0190】本実施例によれば、上記の遺伝的プログラミングにより、クロック回路が木構造をなしているときに、調整を効率的に行うことができる。

【0191】本発明は、いうまでもなく、デジタルシステムを用いる装置の全体、一部、あるいは複数の部分の何れにも適用可能であり、デジタルシステムの規模を問わない。

【0192】また、本発明の方法による調整は、調整可能な遅延素子4の遅延値の精度が低く、単調性が保証されないものであっても、ほとんど支障がない。それゆえ、本発明で用いる遅延素子は、半導体基板上で従来よりも小さい面積で作製することができる。

【0193】以上、図示例に基づき説明したが、この発明は上述の例に限定されるものでなく、特許請求の範囲の記載の範囲内で当業者が容易に改変し得る他の構成をも含むものである。

【図面の簡単な説明】

【図1】 一般的なデジタルシステムに適用した本発明のデジタルシステムの第1実施例を模式的に示す構成図である。

【図2】 デジタルシステムにおける遅延素子の遅延設定値調整の影響を示す説明図である。

【図3】 上記実施例に用い得る調整可能な遅延素子の一構成例を示す回路図である。

【図4】 図3に示す回路でのNOT素子への入力信号およびNOT素子からの出力信号の波形を示す説明図である。

【図5】 上記実施例に用い得る遅延素子の他の一構成例を示す回路図である。

【図6】 上記実施例に用い得る遅延素子のさらに他の一構成例を示す回路図である。

【図7】 上記実施例に用い得る遅延素子のさらに他の一構成例を示す回路図である。

【図8】 上記実施例に用い得る遅延素子のさらに他の一構成例を示す回路図である。

【図9】 上記実施例に用い得る遅延素子のさらに他の一構成例を示す回路図である。

【図10】 上記実施例における調整可能な遅延素子とレジスタの最下位ビットとを含んだ構成の一例を示す回路図である。

【図11】 上記実施例における調整可能な遅延素子とレジスタの最下位ビットとを含んだ構成の他の一例を示す回路図である。

【図12】 上記実施例に用い得る正負の遅延を発生させる調整可能な遅延回路の一構成例を示す構成図である。

10 【図13】 本発明のデジタルシステムのクロック信号調整方法の第1実施例の処理手順の概略を示すフローチャートである。

【図14】 一般的な遺伝的アルゴリズムの手順の概略を示すフローチャートである。

【図15】 遺伝的アルゴリズムで用いる染色体を例示する説明図である。

【図16】 上記実施例の方法における遺伝的アルゴリズムを用いた調整装置の処理手順を示すフローチャートである。

20 【図17】 上記実施例の方法における遺伝的アルゴリズムで用いる染色体とそこから定まるレジスタ値および遅延値とを示す説明図である。

【図18】 上記実施例の方法における遺伝的アルゴリズムで行う選択淘汰処理の手順を示すフローチャートである。

【図19】 上記実施例の方法における遺伝的アルゴリズムで行う交叉処理の手順を示す説明図である。

【図20】 上記実施例の方法における遺伝的アルゴリズムで行う突然変異処理の手順を示す説明図である。

30 【図21】 上記実施例の方法において動作周波数を段階的に上昇させながら調整を行う場合の処理手順を示すフローチャートである。

【図22】 上記実施例の一変形例を模式的に示す構成図である。

【図23】 上記実施例における調整装置の一構成例を示す構成図である。

【図24】 上記実施例におけるデジタル信号観測装置の一構成例を示す構成図である。

40 【図25】 上記実施例におけるデジタルテスト信号発生装置の一構成例を示す構成図である。

【図26】 図12に示す回路での調整可能な遅延素子の一構成例を示す構成図である。

【図27】 本発明のデジタルシステムの第2実施例としてのメモリテストパターンジェネレータ回路を模式的に示す構成図である。

【図28】 上記実施例での実験中の適応度と世代数との関係を示す説明図である。

【図29】 上記実施例の一変形例を模式的に示す構成図である。

50 【図30】 本発明のデジタルシステムの第3実施例と

41

しての、パイプライン構造をもつデジタルシステムを模式的に示す構成図である。

【図31】 本発明のデジタルシステムのクロック信号調整方法の第3実施例の処理手順の概略を示すフローチャートである。

【図32】 本発明のデジタルシステムの第4実施例としてのデジタル回路基板を模式的に示す構成図である。

【図33】 本発明のデジタルシステムの第5実施例を模式的に示す構成図である。

【図34】 上記実施例の方法における遺伝的プログラミングで用いる染色体とそこから定まるレジスタ値および遅延値とを示す説明図である。

【図35】 上記実施例の方法における遺伝的プログラミングで行う交叉処理の手順を示す説明図である。

【図36】 上記実施例の方法における遺伝的プログラ

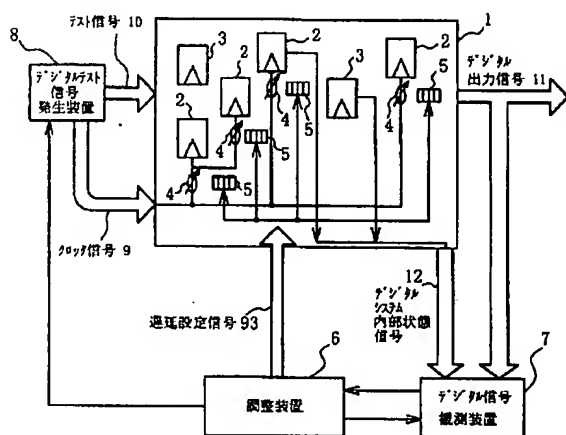
42

ミングで行う突然変異処理の手順を示す説明図である。

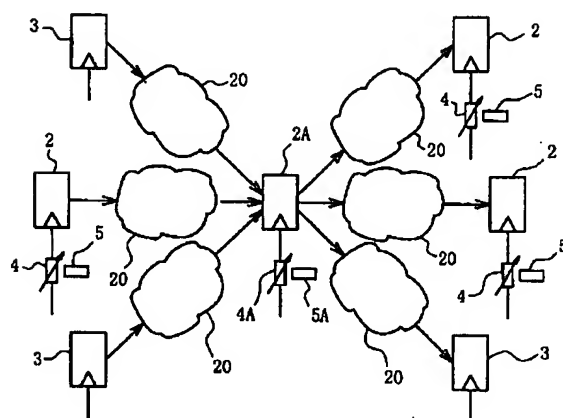
【符号の説明】

- 1 デジタルシステム
- 2 調整されるフリップフロップ
- 3 調整されないフリップフロップ
- 4 調整可能な遅延素子
- 5 レジスタ
- 6 調整装置
- 7 デジタル信号観測装置
- 8 デジタルテスト信号発生装置
- 9 クロック信号
- 10 テスト信号
- 11 デジタル出力信号
- 12 デジタルシステム内部状態信号
- 遅延設定信号

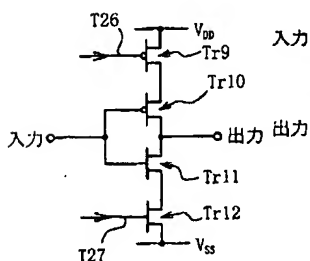
【図1】



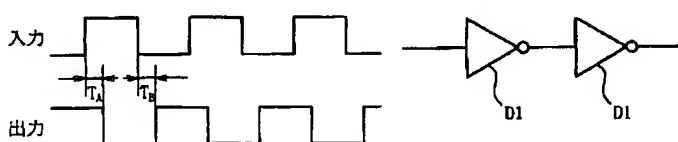
【図2】



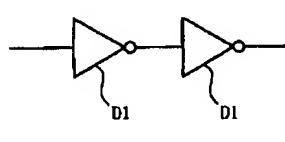
【図3】



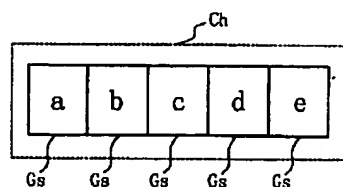
【図4】



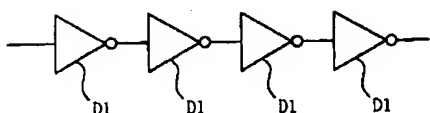
【図5】



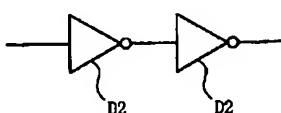
【図15】



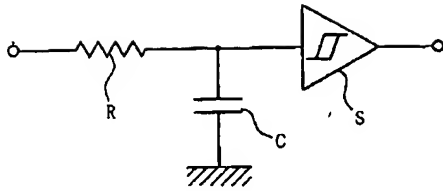
【図6】



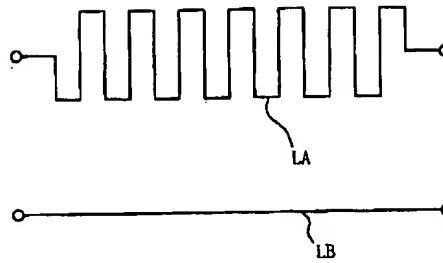
【図7】



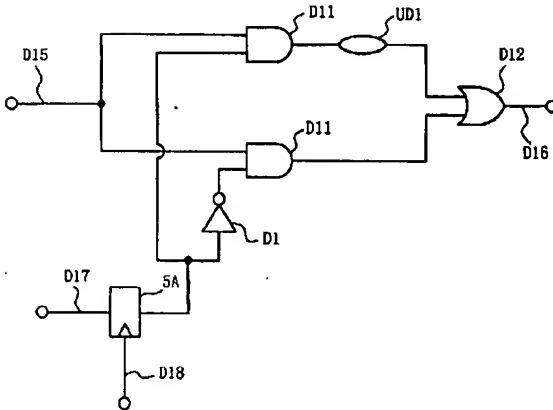
【図8】



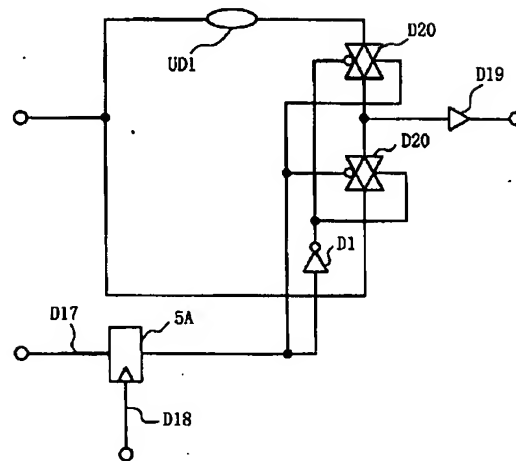
【図9】



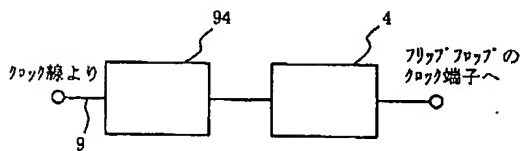
【図10】



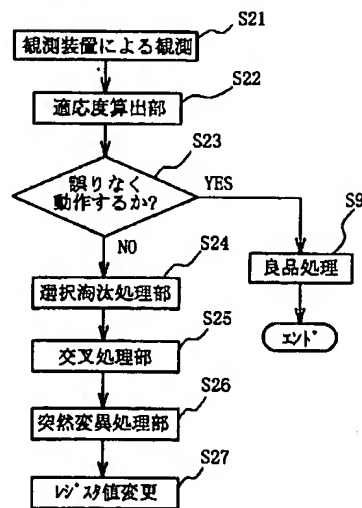
【図11】



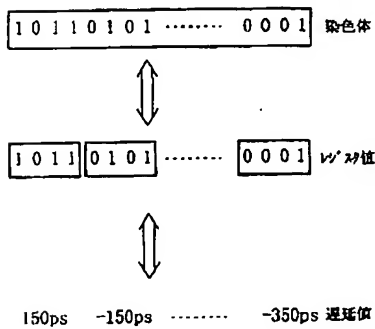
【図12】



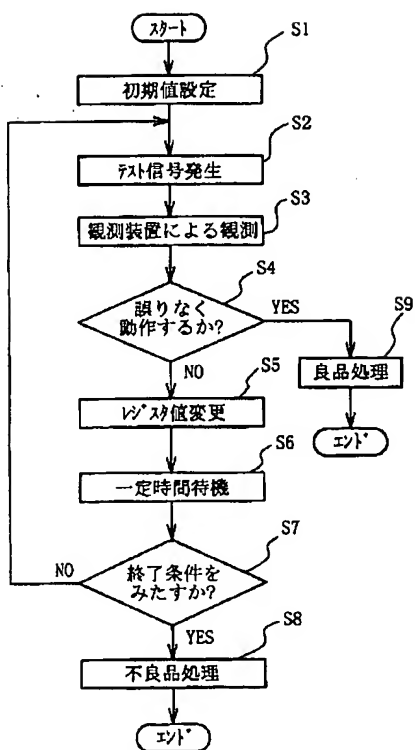
【図16】



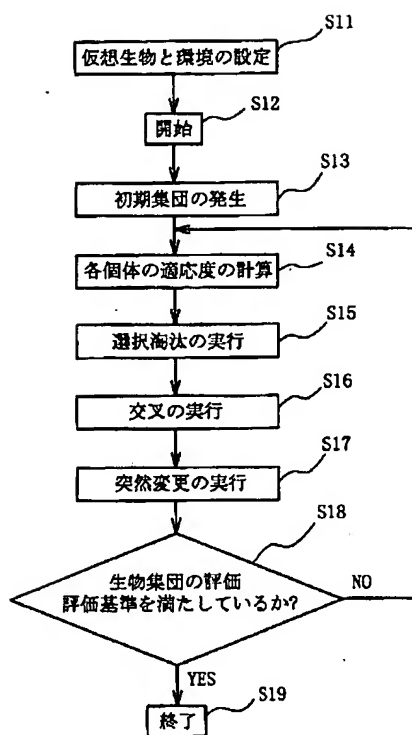
【図17】



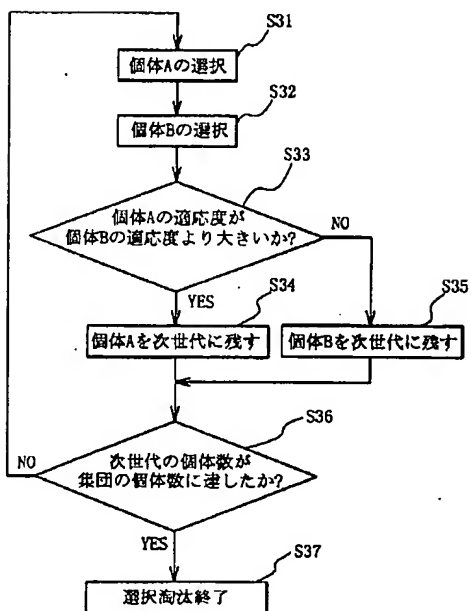
【図13】



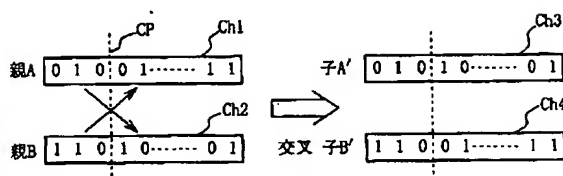
【図14】



【図18】



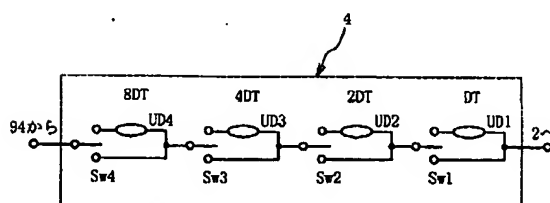
【図19】



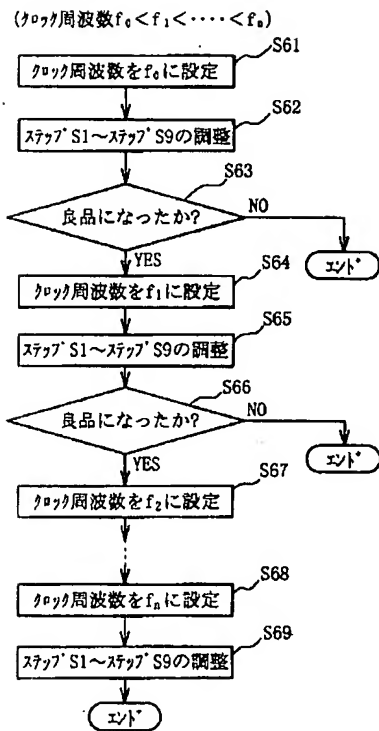
【図20】



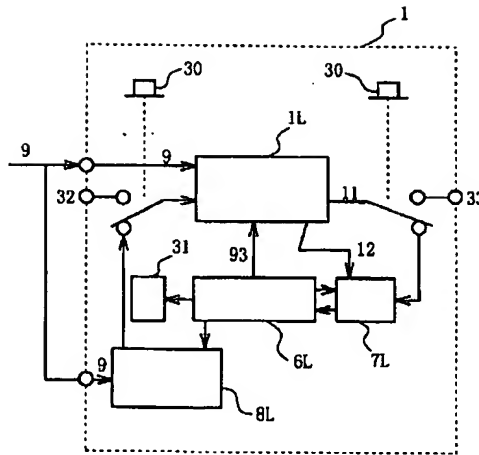
【図26】



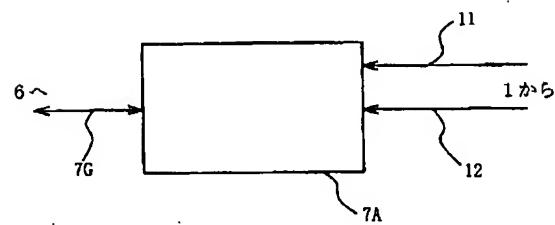
【図21】



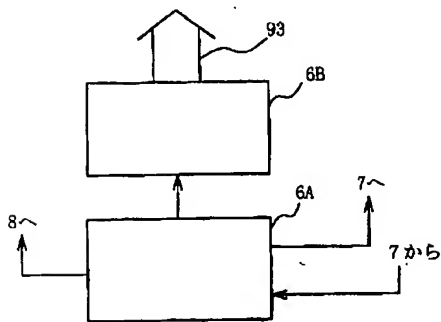
【図22】



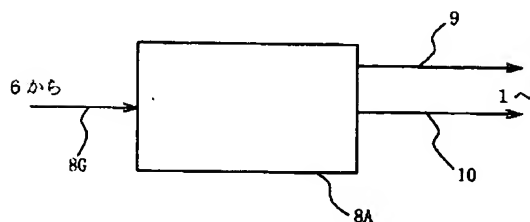
【図24】



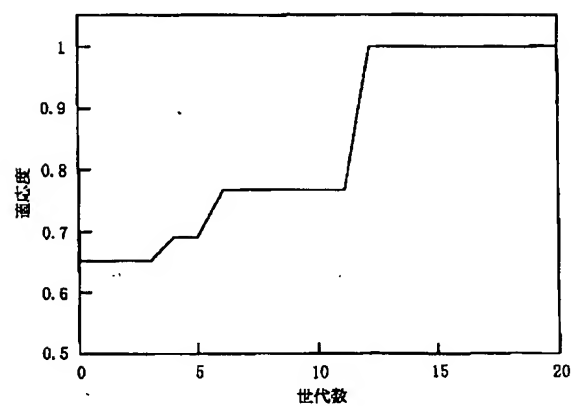
【図23】



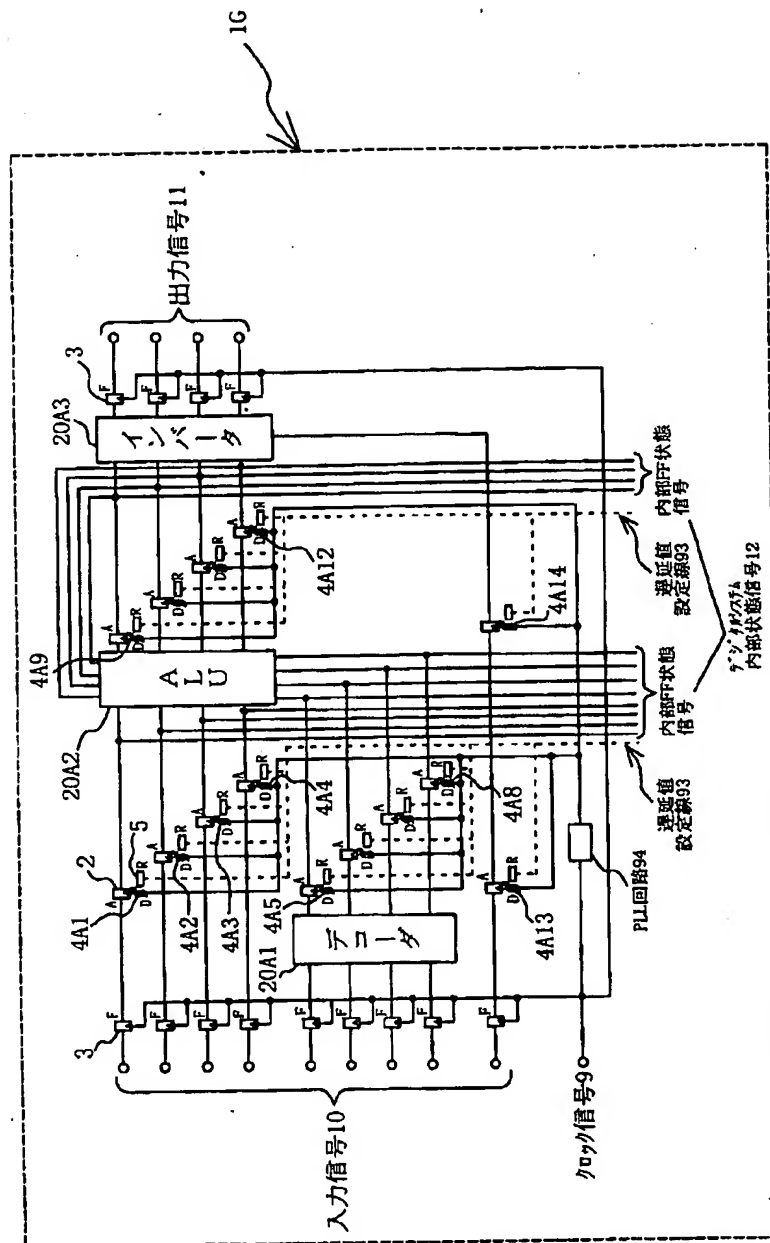
【図25】



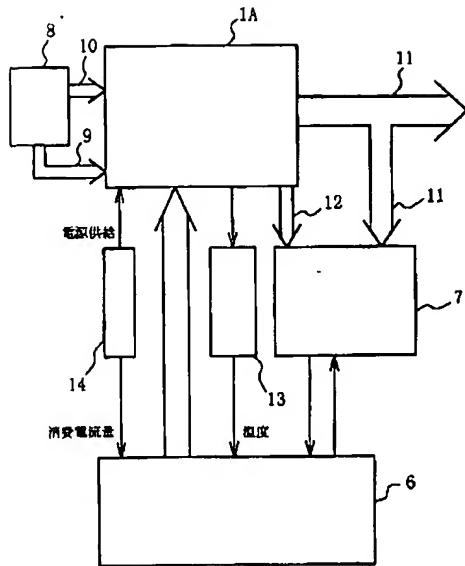
【図28】



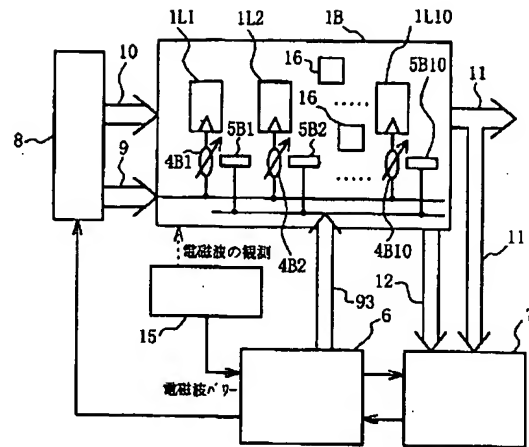
【図27】



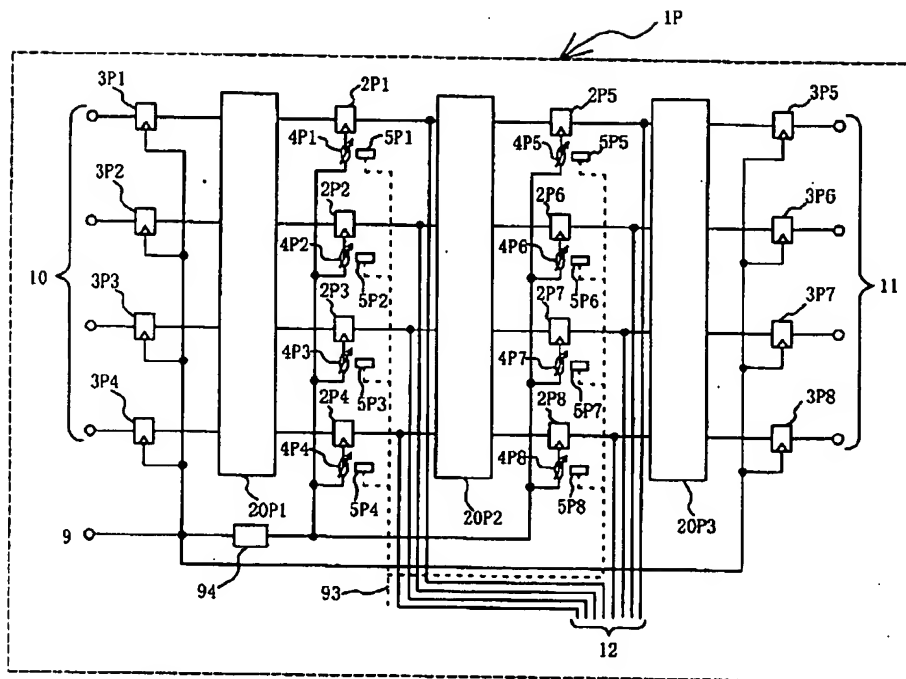
【図29】



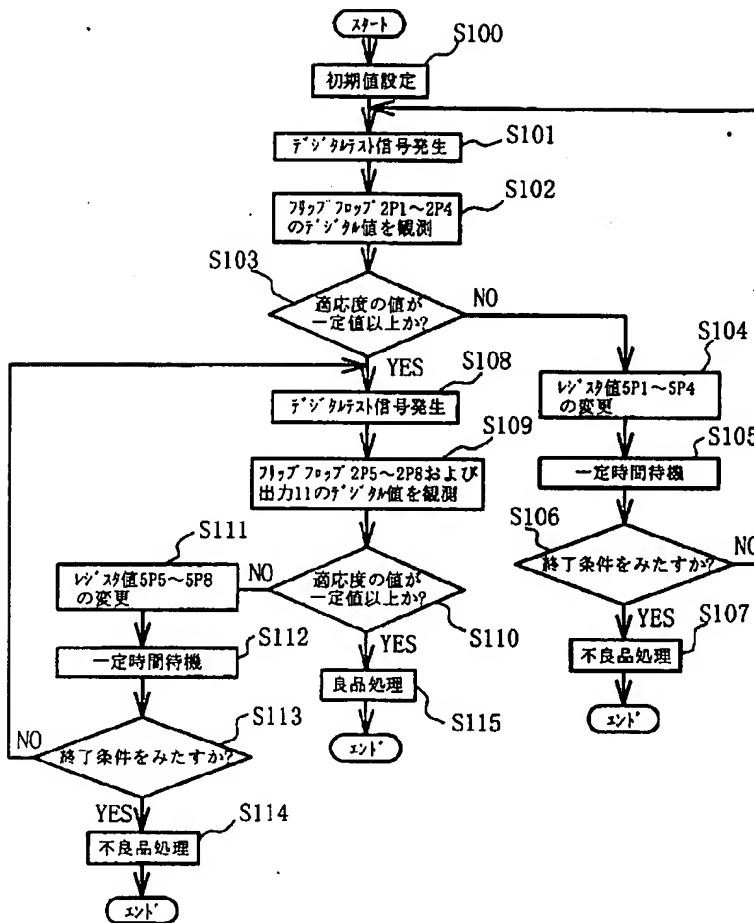
【図32】



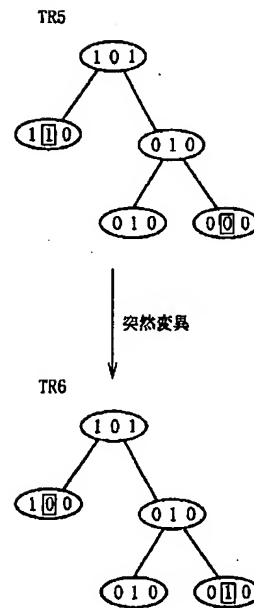
【図30】



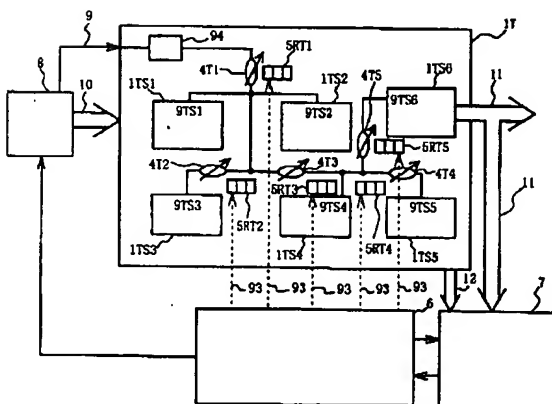
【図31】



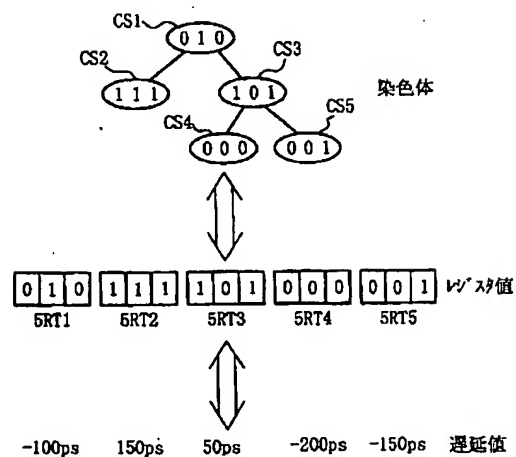
【図36】



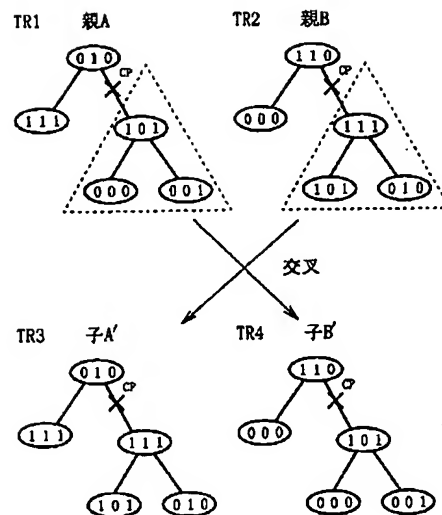
【図33】



【図34】



【図35】



フロントページの続き

(71)出願人 597073531

樋口 哲也

茨城県つくば市梅園1丁目1番4 工業技
術院電子技術総合研究所内

(72)発明者 高橋 栄一

茨城県つくば市梅園1丁目1番4 工業技
術院電子技術総合研究所内

(72)発明者 村川 正宏

茨城県つくば市梅園1丁目1番4 工業技
術院電子技術総合研究所内

(72)発明者 戸田 賢二

茨城県つくば市梅園1丁目1番4 工業技
術院電子技術総合研究所内

(72)発明者 樋口 哲也

茨城県つくば市梅園1丁目1番4 工業技
術院電子技術総合研究所内

F ターム(参考) 5B046 AA08 CA07 JA03

5B079 BA01 BA20 BB10 BC02 BC03

CC02 CC08 CC14 DD06 DD20

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the timing adjustment approach of the clock signal of the single which operates synchronizing with a single or two or more clock signals or two or more digital systems, and this digital system, and the record medium which recorded the processing program performed by the adjustment approach. Especially this invention is very effective, when there are many digital circuit components which are the components of a digital system, or when the frequency of a clock signal is high.

[0002]

[Description of the Prior Art] A digital system usually consists of three kinds of logical elements, an AND element, an OR element, and a NOT element, and a storage element called the flip-flop which memorizes two kinds of conditions (1 bit), truth (logical value "1") and a false (logical value "0").

[0003] The most fundamental flip-flop has the function to consist of 3 of one input/output terminal each and a clock terminal terminals, and to copy the digital signal of an input terminal to the standup of the digital signal called the clock signal impressed to the clock terminal at an output terminal, and to hold the digital value to the standup of the following clock signal.

[0004] Generally, the time difference of the clock signal which reaches the clock terminal of each flip-flop in a synchronous circuit, and a call and a synchronous circuit in the digital system which operates according to the clock signal of a finite individual affects the whole actuation. A buffer is inserted on the way, or a special circuit -- the device on physical wiring is given -- is used for the signal line which generally supplies a clock signal to each flip-flop in many cases, and it calls it a clock circuit here.

[0005] For example, to even the same time lag for 1ns being 1% of gap, when a clock frequency is 10MHz (i.e., when a clock cycle is 100ns), when a clock frequency is 100MHz (i.e., when a clock cycle is 10ns), it is 10% of gap, and amendment is needed. That is, such precise timing adjustment technique is needed that a clock frequency is high.

[0006] As a conventional cure for the error of the clock timing of a digital system, it is (1). The cure technique in which an architect adjusts manually at the time of the design of a digital system so that the error of clock timing may become as small as possible. (2) The cure technique of the cure technique of putting an equalization circuit which amends the error of clock timing into the clock circuit in a digital system.

There were two kinds of **.

[0007] However, the following problems are not solved as a cure (1). That is, a transistor and electronic-circuitry components, such as resistance and a capacitor, have variation in each property, and the variation in each component is not clear until it creates a system actually. This is a property especially seen notably in the component in an integrated circuit. Clock timing is most strongly influenced of this variation, and it determines the upper limit of the clock frequency of a digital synchronous system. Thus, since such variations cannot be thoroughly grasped at the time of the design of a digital system, the technique of designing and creating [approve and] the variation in a certain range, or repeating a prototype, and measuring the degree of actual variation has been taken. However, it is clearly limited in this approach, and the property which each component has was not able to be used to the limitation. .

[0008] As another trouble, the limitation was in the circuit magnitude which can be treated by the adjustment in hand control, and the adjustment to the large-scale whole digital system like a computer system was impossible as an actual problem. Moreover, also carving [subproblem / which is a stock-in-trade at the time of dealing with a large scale problem] restricts an adjustable range and is not desirable.

[0009] The trouble of a cure (2) is a point that the adjustment search space will become vast and adjustment by practical time amount becomes impossible as circuit magnitude becomes large, even if the equalization circuit is inserted. On the contrary, in the equalization circuit of extent which can be adjusted by practical time amount, a digital system is only making a part applicable to adjustment very much, and the effectiveness will be limited extremely.

[0010] When the above-mentioned digital system is produced as an integrated circuit, the description is in the following two points further. The 1st is the point that the interior of an integrated circuit is uncorrectable and all must be determined at the time of a design. Then, although means to insert an equalization circuit are taken, since the adjustment search space becomes huge, the adjustment in consideration of the whole actuation is impossible. Therefore, if new technique like this invention mentioned later is not used, it is impossible to perform timing adjustment which took the whole actuation into consideration after integrated-circuit-chip production. Its variation in the component in an integrated circuit chip is large, and if the 2nd is not after production, they are the point that change of the parameter (the value of resistance, a capacitor, etc. and property of a transistor) of an internal component is not known. Therefore, new technique like [the effect which the variation has on clock timing is large, and / in order to use the property of a component to a limitation, when the parameter value of an exact component is required] this invention mentioned later is indispensable.

[0011] Although the function and interface item are exhibited when it is the hardware design data for which the activity by the 3rd person was targeted, and the usual hardware design library of data, while a digital system is made into the object of intellectual property rights (Intellectual Property) called IP, the information more than an equal circuit may not be released for a internal structure. Although the precise timing adjustment which reaches even the interior made into the object of IP is indispensable when using such IP with an integrated circuit with a high clock frequency Since the interior of access up serves as a black box as mentioned above in many cases, in order to produce the integrated circuit which operates with a high clock frequency, maintaining

such access Although a clock circuit which makes the data of the I/O timing optimal for each IP by the external circuit side needed to be offered, even if it used the same IP, since the optimal I/O timing differed for every chip, it was impossible by the conventional technique.

[0012] Moreover, when the CMOS technology is used for the digital system of current most and the digital system is constituted using the CMOS technology, each digital signal most power-source currents (from the logical value "1" from a logical value "0", or a logical value "1" to logical-value "0" HE) It flows, when changing. Therefore, when many digital signals change simultaneously, a momentarily big power-source current flows, a power supply may be insufficient, and supply voltage may be changed, as a result it may become the cause of malfunction.

[0013] Furthermore, if a momentarily big current flows, compared with the case where a continuously small current flows, power consumption will increase, it will be necessary to prepare the power source and current supply line of a big capacity, and these will enlarge size of a digital system. Although it could attain by tuning the timing of each signal, i.e., the timing of each flip-flop, finely in the range which the whole is mistaken and operates that there is nothing in order to have reduced the effect of simultaneous change of this digital signal, the precise timing adjustment after taking actuation of such the whole into consideration by the conventional technique was impossible.

[0014] Moreover, the unnecessary electromagnetic radiation (EMI) generated from a digital system should do and control an operation of making other surrounding digital systems malfunction etc. This problem is serious especially when a digital system is mounted as the circuit board, and regulation is performed by various laws of each country. It generates at the time of change (the logical value "1" from a logical value "0", or a logical value "1" to logical-value "0" HE) of a digital signal, and when many digital signals change all at once, EMI with big peak power generates EMI. Although the method of reducing simultaneous change of a digital signal, i.e., simultaneous change of a flip-flop, was in one of the means to control this, it was impossible by the conventional technique to have adjusted the timing of the flip-flop of the whole digital system to a precision in the range which the whole digital system is mistaken in a predetermined clock frequency, and operates that there is nothing.

[0015] From the above reasons, especially, the new method of performing timing adjustment of a clock signal automatically for each digital system of every in a large-scale and high-speed system is needed, and this invention is made in order to solve this technical problem advantageously.

[0016]

[The means for solving a technical problem, and its operation and effectiveness] In order to attain the above-mentioned object, the digital system of this invention according to claim 1 While being inserted in two or more clock circuits which supply said clock signal in said digital system in the digital system which performs digital processing according to a single or two or more clock signals, and does a predetermined function so, respectively Two or more delay elements which consisted of respectively circuit elements to which a time delay is changed according to the value which a control signal shows, Said two or more holding circuits the value of two or more of said control signals which are equipped with two or more holding circuits holding two or more control signals given to said two or more delay elements, and those holding circuits hold by the external device It is

characterized by being changed so that said digital system may make a mistake in being related with timing of operation and it may operate according to the probabilistic-search technique that there is nothing.

[0017] And the clock signal adjustment approach of the digital system of this invention according to claim 12 In the approach of adjusting the timing of said clock signal of the digital system which performs digital processing according to a single or two or more clock signals, and does a predetermined function so In two or more clock circuits which supply said clock signal in said digital system Insert two or more delay elements, respectively, and it constitutes from a circuit element to which a time delay is changed according to the value a control signal indicates said two or more delay elements to be respectively. While holding in two or more holding circuits which formed two or more control signals given to said two or more delay elements in said digital system It is characterized by changing the value of two or more of said control signals which said two or more holding circuits hold by the external device according to the probabilistic-search technique so that said digital system may make a mistake in being related with timing of operation and it may operate that there is nothing.

[0018] If it is in the clock signal adjustment approach of this digital system and a digital system, while being inserted in two or more clock circuits which supply the single or two or more clock signals in a digital system, respectively, two or more control signals which two or more holding circuits hold are given to the delay element which consisted of circuit elements to which a time delay is changed according to the value which a control signal shows, respectively, and each delay element delays a clock signal suitably, and supplies it to a fundamental circuit according to the value which those control signals show. Moreover, an external device changes the value of two or more above-mentioned control signals which two or more above-mentioned holding circuits hold according to the probabilistic-search technique so that a digital system may make a mistake in being related with timing of operation and it may operate that there is nothing. In addition, negative delay, i.e., also make it progress, besides forward delay, i.e., delay, includes "delay" in this invention.

[0019] Therefore, according to the clock signal adjustment approach of the digital system of this invention, and the digital system of this invention When the properties (delay characteristics etc.) of the circuit element relevant to the above-mentioned predetermined function cannot grasp to accuracy, In or the case so that an error may arise in the property of the circuit element on a manufacture process In and the case so that a quality ununiformity and the error on a design may arise in a clock circuit Furthermore, the fundamental circuit in a digital system has black-box-ized like the above-mentioned IP, and even when the configuration is not clear, the timing error of a clock signal is absorbed. Since it can adjust so that a digital system may be mistaken and it may operate that there is nothing The engine performance higher than the case where it is based on the conventional technique about the function by design efforts fewer than the case where it is based on the conventional technique can be obtained. And a digital system larger-scale than the case where it is based on the conventional technique, and high-speed can also be obtained, and, moreover, the performance degradation of the digital system resulting from dispersion, such as a circuit element, can also be improved.

[0020] Moreover, since according to the clock signal adjustment approach of the digital system of this invention, and the digital system of this invention the timing of the flip-

flop of the whole digital system can be adjusted to a precision in the range which the whole digital system is mistaken and operates that there is nothing and the timing of flip-flops of operation can be shifted slightly, the size amplification of the digital system by buildup of power consumption resulting from simultaneous change of a digital signal and generating of unnecessary electromagnetic radiation (EMI) can also be controlled.

[0021] Here, it can express digital systems how many digital systems are mistaken and operate that there is nothing with the performance index F which makes a parameter the delay value of the delay element in which all adjustments are possible. It is equivalent to calculating the solution of the above-mentioned performance index F for a digital system to be mistaken and to operate that there is nothing. The invention-in-this-application person discovered that a genetic algorithm could be applied to clock timing adjustment of a digital system paying attention to this point.

[0022] information with a differential value a genetic algorithm is one of the probabilistic-search technique, act effectively in (1) area search, and derivative in addition to the (2) performance index F etc. -- not required -- (3) -- it is the algorithm which moreover has easy mounting nature. Therefore, in this invention, a genetic algorithm may be used for modification of two or more control signals depended on the above-mentioned external device like the publication of claim 2 and claim 13.

[0023] moreover, although it is alike and often having been mounted by the clock circuit so that it may have the tree structure, how to arrange also at the branch point in the middle of the tree structure in addition to the approach of arranging the delay element which can be adjusted to the part of the leaf at the head of the tree structure, i.e., the part of a flip-flop, as mentioned above can be considered. In this case, the delay element which has been arranged at the branch point and which can be adjusted functions as adding delay to the delay element which exists ahead of that point and which can be adjusted, and has the operation which makes the delay element of these points small. Therefore, the total size required for implementation of the delay element which can be adjusted also has possibility that it can be made small. On the other hand, the genetic programming which added the device which can treat the chromosome of the tree structure to a genetic algorithm is also known in recent years. Therefore, the genetic programming may be used for modification of two or more control signals which the tree structure of the signal line of a clock is met in this way, and the delay element which can be adjusted is arranged, and are depended on the above-mentioned external device like [a case] the publication of claim 3 and claim 14 in this invention.

[0024] And in this invention, if it may be made to make a change of the control signal by the above-mentioned external device, raising the frequency of a clock signal gradually and it is carried out in this way like the publication of claim 4 and claim 15, higher clock frequency ***** can operate a digital system by high-speed operating state more.

[0025] Moreover, the digital system of this invention according to claim 5 is characterized by equipping the digital system itself with a setting device in a digital system according to claim 1 instead of using an external device, and the clock signal adjustment approach of the digital system of this invention according to claim 16 is characterized by equipping the digital system itself with a setting device in the clock signal adjustment approach of a digital system according to claim 12 instead of using an external device. since the setting-out means which the same operation effectiveness as the clock signal adjustment approach of a previous digital system and a digital system is

acquired, moreover replaces with an external device, and the digital system itself has is used according to the clock signal adjustment approach of the digital system of this invention, and the digital system of this invention -- a digital system independent -- at any time -- and the further operation effectiveness that it can adjust in the location of arbitration is acquired.

[0026] And also in the digital system and the clock signal adjustment approach of these invention, a genetic algorithm may be used for modification of two or more control signals depended on the above-mentioned external device like the publication of claim 6 and claim 17.

[0027] Moreover, also in the digital system and the clock signal adjustment approach of these invention, the genetic programming may be used for modification of two or more control signals depended on the above-mentioned external device like the publication of claim 7 and claim 18.

[0028] Furthermore, also in the digital system and the clock signal adjustment approach of these invention, it may be made to make a change of the control signal by the above-mentioned setting-out means like the publication of claim 8 and claim 19, raising the frequency of a clock signal gradually.

[0029] And if the digital system in the clock signal adjustment approach of the digital system of this invention mentioned above and the digital system of this invention may be constituted as an integrated circuit and it does in this way like the publication of claim 9 and claim 20, it can adjust a clock signal the optimal about the integrated circuit which is not clear until the variation in a circuit element creates actually.

[0030] Moreover, if the digital system in the clock signal adjustment approach of the digital system of this invention mentioned above and the digital system of this invention may have pipeline structure and it has it in this way like the publication of claim 10 and claim 21, since it can be adjusted selectively and gradually using the data dependency of pipeline structure, it can lessen the adjustment search space and can shorten adjustment time amount.

[0031] Furthermore, the digital system in the clock signal adjustment approach of the digital system of this invention mentioned above, and the digital system of this invention If it may be constituted as the circuit board and does in this way like the publication of claim 11 and claim 22 A gap of the clock timing resulting from the configuration component of a clock circuit and the ununiformity of a component in a digital circuit substrate production process, the error on a design, etc. can be absorbed, and it can adjust so that a digital circuit substrate may not malfunction.

[0032] And the above-mentioned external device and the above-mentioned setting-out means in the clock signal adjustment approach of the digital system of this invention mentioned above, and the digital system of this invention If you may consist of computers, such as a personal computer and a microcomputer, and it does in this way like the publication of claim 23 and claim 24 Processing which changes the value of two or more control signals which two or more holding circuits hold according to the probabilistic-search technique so that a digital system may make a mistake in being related with timing of operation and it may operate that there is nothing can be ensured [easily / in a short time / and].

[0033] Furthermore, the record medium of this invention according to claim 25 is characterized by recording the processing program which changes the value of two or

more control signals which two or more holding circuits hold which a computer performs in the clock signal adjustment approach of a digital system according to claim 23 or 24 according to the probabilistic-search technique so that a digital system may make a mistake in being related with timing of operation and it may operate that there is nothing. [0034] According to this record medium, the processing program which a computer performs can be recorded and saved for the clock signal adjustment approach of the digital system of this invention, and the digital system of this invention, and a clock signal can be adjusted in the location of arbitration. In addition, as this record medium, storage elements, such as data-logging media, such as a hard disk besides a flexible disk, and CD-ROM, an optical disk, and ROM, RAM, can be used.

[0035]

[Embodiment of the Invention] Below, an example explains the gestalt of operation of this invention at a detail based on a drawing. This invention is applicable to the various digital systems which operate using a single or two or more clock signals. That is, it becomes possible by establishing two or more timing adjustment parts all over the clock circuit of the digital system for adjustment to adjust a clock signal by this invention.

[0036] The following example [1st] describes the case where this invention is applied to the general digital system which operates using a single or two or more clock signals. It is the block diagram showing typically the 1st example of the digital system of this invention applied to the digital system with common drawing 1 here.

[0037] Since the engine performance of the component which is made to protract the design process of a digital system and constitutes a digital system cannot be restrictively used for the failure by the poor timing of the clock signal in a digital system, it restricts the engine performance of the digital system itself, and is the failure of control of cost. Therefore, the clock signal adjustment approach of this invention of performing timing adjustment of a clock signal for each digital system of every is indispensable.

[0038] The digital system which a sign 1 constitutes a microcomputer etc. and does so predetermined functions, such as data processing based on the given program, a flip-flop [need / 2 / timing adjustment of a clock signal], and 3 show a flip-flop with unnecessary timing adjustment among drawing 1. Moreover, the delay element to which 4 may change the timing of a clock according to the value of a register and which can be adjusted, and 5 show the register holding the delay setting of 4.

[0039] The delay element 4 is inserted between the clock circuits which supply a clock signal to the clock terminal and its clock terminal of a flip-flop 2. Moreover, it connects with a delay element 4 and a register 5 changes the delay value of a delay element 4. the flip-flop 2 adjusted and the flip-flop (adjustment -- unnecessary) 3 which is not adjusted are the components of the above-mentioned digital system 1.

[0040] The agreement 5 among drawing 1 is a register holding the set point of the delay element 4 which can be adjusted, a sign 7 is observation equipment for observing the digital output signal of a digital system 1, and the internal state of a digital system 1, and 8 is equipment which generates the test signal and clock signal for adjusting a digital system 1 according to the approach of this invention. Registers 5 are a general D flip-flop, a T flip-flop, SR flip-flop or a JK flip-flop, a register circuit, the other storage elements which memorize a condition according to a clock signal or the store circuit constituted by the loop-formation-like combinational circuit, etc.

[0041] And a sign 6 is an adjusting device which makes the digital system internal-state

signal 12 which is connected to digital test signal observation equipment 7, and shows the output signal 11 of a digital system 1, and the internal state of a digital system 1 to the digital test signal observation equipment 7 like the after-mentioned observe at the same time it connects with the digital signal generator 8 and it makes the digital signal generator 8 start the signal generation to a digital system 1.

[0042] According to the adjustment approach of this invention, this adjusting device 6 computes the time delay of the delay element 4 which can be adjusted, and writes that delay setting in a register 5. In addition, in this example, an adjusting device 6, digital signal observation equipment 7, and the digital test signal generator 8 are an external device.

[0043] The digital system 1 in this example may be constituted as an integrated circuit, and may be constituted as the circuit board. Furthermore, the digital system 1 in this example may be constituted as single system, and may consist of two or more systems.

[0044] Furthermore, the digital system 1 in this example may include the channel inside while consisting of two or more systems, and it may include the bus-like channel inside while being constituted as single system. Furthermore, the digital system 1 in this example may be constituted as a multi chip module or a hybrid integrated circuit.

[0045] Furthermore, the digital system 1 in this example may be constituted as IP (hardware design data for which the activity by the 3rd person was targeted while considering as the object of intellectual property rights (Intellectual Property)), or a hardware library.

[0046] The flip-flop 2 adjusted and the flip-flop 3 which is not adjusted are a general D flip-flop, a T flip-flop, SR flip-flop or a JK flip-flop, a register circuit, the other storage elements which memorize a condition according to a clock signal or the store circuit constituted by the loop-formation-like combinational circuit, etc., and is a digital system 1. It functions as a component.

[0047] That is, in a digital system 1, it connects with the combinational circuit of the digital system 1 interior suitably, and the flip-flop 2 adjusted and the flip-flop 3 which is not adjusted memorize an internal state according to a clock signal.

[0048] In the above-mentioned system, the flip-flop 2 adjusted Are the flip-flop with which adjustment is made by the approach of this invention, and the flip-flop 3 which is not adjusted It is the flip-flop to which adjustment is not performed by the approach of this invention. Other approaches, For example, the timing adjustment based on the simulation result at the time of the design of a digital system 1 etc., It does not ask whether adjustments by the conventional technique, such as timing adjustment by the timing adjustment based on a prototype result, the data path of a fixed value delay element, insertion in a clock circuit, etc., are performed.

[0049] The clock time delay of the flip-flop 2 adjusted is a time delay which the clock terminal of a flip-flop 2 and the delay element 4 which was inserted between clock circuits, and which can be adjusted add, and timing is delayed by the time delay compared with the case where the delay element 4 which can adjust the clock signal supplied to the clock terminal of the flip-flop 2 adjusted is not inserted.

[0050] The digital system 1 used as the object for adjustment is equipped with the flip-flop 2 adjusted as mentioned above and the flip-flop 3 which is not adjusted, and is constituted, and a digital system 1 mistakes it by this example, and it makes operate in it that there is nothing by tuning the delay setting of the delay element 4 which is connected

to the time delay of the flip-flop 2 adjusted, i.e., the clock terminal of a flip-flop 2 adjusted, and which can be adjusted finely after manufacture of this digital system 1. [0051] By the way, generally, the delay setting of the delay element 4 which can be adjusted does effect mutually, and suits. As shown in drawing 2, the effect of delay setting adjustment of delay element 4A which was connected to certain flip-flop 2A adjusted and which can be adjusted attains to the flip-flop 2 with which the others connected only across the input/output terminal and combinational circuit 20 of this flip-flop 2A are adjusted. Thus, in many cases, the adjustment search space will cause combination explosion. So, the adjustment technique using the probabilistic-search technique including the genetic algorithm based on this invention mentioned later is dramatically effective.

[0052] In this example, the delay setting of the delay element 4 which is connected to the clock terminal of the flip-flop 2 adjusted and which can be adjusted is adjusted so that a digital system 1 may be mistaken and it may operate that there is nothing. The example of 1 configuration of the above-mentioned adjusting device 6 is shown in drawing 23. The adjustment algorithm activation equipment with which sign 6A performs an adjustment procedure according to the approach of this invention, and 6B are delay setting devices which write a delay setting in the register 5 of a digital system 1 among drawing 23.

[0053] In the adjustment in this example, the above-mentioned delay setting device 6B sets the delay setting which adjustment algorithm activation equipment 6A computed as a register 5 through the delay setpoint signal 93. The delay setpoint signal 93 is digital value with the same bit width of face as a register 5, and controls the time delay which the delay element 4 which can be adjusted generates.

[0054] The above-mentioned adjustment algorithm activation equipment 6A searches for the value optimal as a delay setting of a register 5 according to a genetic algorithm. In addition, an adjusting device 6 can specifically be constituted with computers, such as a personal computer or a microcomputer, and can also be constituted using programmable LSI currently indicated by JP,9-294069,A or the circuit indicated by the paper "implementation of the structure study circuit of the neural network by GA" (4 5 Japanese Neural Network Society vol. No. pp. 145 - 1998 [153 or]) by Kajitani and others.

[0055] In the above-mentioned computer, the program which realizes the function of adjustment algorithmic language GORIZUMU activation equipment 6A is stored in record media, such as a hard disk, ROM (read-only memory), Flash memory, an optical disk, a magneto-optic disk, and a magnetic disk.

[0056] Among drawing 1, it is the clock signal with which the digital test signal generator 8 generates a sign 9, and the test signal to which the digital test signal generator 8 generates 10, and those signals are inputted into a digital system 1. Moreover, the digital output signal with which a digital system 1 outputs 11, and 12 are the digital system internal-state signals which took out the output of a part or all flip-flops among this drawing, and those signals are inputted into digital signal observation equipment 7. However, it is also possible to adjust a digital system 1 according to the approach of this invention, without using the digital system internal-state signal 12 depending on the structure of a digital system 1.

[0057] The example of 1 configuration of the above-mentioned digital signal observation

equipment 7 is shown in drawing 24 . Digital signal observation equipment 7 consists of only logic analyzer 7A. A logic analyzer is a measuring device which generally observes the digital signal in a digital system. It connects with the probe for measurement of logic analyzer 7A, and logic analyzer 7A and a digital system 1 connect logic analyzer 7A and an adjusting device 6 by GP-IB interface 7G. The signals sent to logic analyzer 7A through the probe for measurement from a digital system 1 are the digital output signal 11 and the digital system internal-state signal 12. In addition, it constitutes from a specialized circuit and digital signal observation equipment 7 can also be built in a digital system 1.

[0058] Make above-mentioned logic analyzer 7A memorize the value of the digital output signal 11 and the digital system internal-state signal 12 at the time of a digital system 1 being mistaken and operating that there is nothing, it is made to compare with the output from a digital system 1, and is made to compute an assessment value.

[0059] Or the value of the digital output signal 11 at the time of a digital system 1 being mistaken and operating that there is nothing and the digital system internal-state signal 12 is stored in an adjusting device 6, and the value of the digital output signal 11 from a digital system 1 and the digital system internal-state signal 12 is sent to an adjusting device 6 as it is, and you may make it compute an assessment value with an adjusting device 6.

[0060] The example of 1 configuration of the above-mentioned digital test signal generator 8 is shown in drawing 25 . The digital test signal generator 8 consists of only digital signal generator 8A. It connects with the probe of digital signal generator 8A, and digital signal generator 8A and a digital system 1 connect digital signal generator 8A and an adjusting device 6 by GP-IB interface 8G. The signals sent to a digital system 1 through a probe from digital signal generator 8A are a clock signal 9 and a test signal 10. Digital signal generator 8A holds in internal memory, and the data pattern of the digital signal to output is synchronized with the clock signal 9 of the specified frequency, and it outputs it to a digital system 1 as a digital test signal 10. In addition, it constitutes from a specialized circuit and the digital test signal generator 8 can also be built in a digital system 1.

[0061] The total of the adjustment part of the flip-flop 2 in a digital system 1 adjusted is plurality, and when adjustment of certain adjustment part 2A affects the adjustment result of a majority of other adjustment parts and it causes combination explosion of the adjustment search space in the adjustment part of a delay element 2 so that it may illustrate to drawing 2 , especially this invention is effective.

[0062] The digital system 1 of this example is characterized [big] by using two or more flip-flops 2 by which the delay element 4 which can adjust a time delay was connected to the clock terminal according to setting out from an external device and which are adjusted, and searching for the optimal delay value using the probabilistic-search algorithm which an adjusting device 6 performs, and the error of the time delay of a clock signal itself not measuring directly.

[0063] The example of 1 configuration in the case of changing a time delay (signal transduction timing) by the delay element 4 which can be adjusted is shown in drawing 3 . Tr9 and Tr10 which are a p channel FET, and Tr11 and Tr12 which are n channel FET are the circuits which carried out the series connection, and Tr10 and Tr11 function as a NOT element. Since the current value of a circuit changes with the resistance of Tr9 and

Tr12 at this time, the time amount which carries out the charge and discharge of stray capacity (parasitic capacitance) and the load carrying capacity changes. The wave of the input signal (input-clock signal) to the above-mentioned NOT element and the output signal (output clock signal) from the NOT element is shown in drawing 4 . The control signal electrical potential difference inputted into the time delay of TA and T26 with the control signal electrical potential difference inputted into T27, respectively can adjust the time delay of TB. When ending with delay adjustment of either the standup of a clock signal, or falling, either Tr9 or Tr12 can be omitted.

[0064] Other examples of a configuration in the case of changing a time delay (signal transduction timing) by the delay element 4 which can be adjusted are shown in drawing 5 thru/or drawing 8 . The time delay of 2DN can be generated by arranging in a two-piece cascade (column) NOT element D1 which has unit delay DN like drawing 5 . Moreover, if the NOT element which has unit delay DN is arranged in a four-piece cascade like drawing 6 , the time delay of 4DN can be generated. The time delay of $(2n \times DN)$ can be generated by similarly arranging in $2n$ piece cascade the NOT element which has unit delay DN.

[0065] And if NOT element D2 is constituted from that of size using a big transistor, the parasitic capacitance of a transistor can increase, longer delay can occur, and as shown in drawing 7 , a time delay can be changed, without increasing the number of a component.

[0066] On the other hand, as shown in drawing 8 , a delay circuit can be constituted also by constituting an integrating circuit using Resistance R and Capacitor C, and shaping an output in waveform by Schmitt-trigger S etc. With this configuration, delay proportional to the product of the value of Resistance R and Capacitor C can be generated.

[0067] Furthermore, using delay of the wiring [itself], long wiring can be made, it can also use as a delay element, and delay proportional to the die length of wiring can be generated in this case. For example, at drawing 9 , the wiring LA of die-length LLA shown in a drawing Nakagami side generates LLA/LLB twice as many delay as this to the wiring LB of die length LLB by the same construction material and width of face shown in a drawing Nakashita side.

[0068] Although each above delay element has only the function to delay a clock signal, if a PLL (phase lock troop) circuit and a DLL (delay lock troop) circuit are used, negative delay which advances a clock signal can also be generated.

[0069] The example of 1 configuration of the delay circuit which makes drawing 12 generate delay of the both directions of positive/negative and which can be adjusted is shown. Among drawing 12 , a sign 94 is an above-mentioned PLL circuit, and 4 is a delay circuit which is shown in drawing 26 and in which the below-mentioned adjustment is possible. The PLL circuit 94 has the function to carry forward a clock by 8DT, and when the delay circuit 4 which can be adjusted has the function to generate delay from 0DT to 15DT, as for this circuit, delay from -8DT to 7DT can be generated on the whole.

[0070] The delay element 4 which can be adjusted can also be constituted combining two or more above-mentioned delay elements. Drawing 26 is a block diagram which illustrates the configuration of the delay element 4 which can be adjusted, and the delay element 4 which can adjust this example corresponds, when it is a thing holding the data whose register 5 in drawing 1 is 4 bits. Each bit of the register value currently held at the register 5 corresponds to each switching circuits Sw1-Sw4 through the switch actuation

circuit which is not illustrated, respectively, it consists of delay elements 4 in which this adjustment is possible so that each switching circuits Sw1-Sw4 may operate according to the above-mentioned register value, and the delayed clock signal which is generated as a result is impressed to the clock terminal of the above-mentioned flip-flop 2 by which adjustment is carried out.

[0071] That is, the delay element 4 which is shown in drawing 26 and which can be adjusted consists of switching circuits Sw1-Sw4 for using selectively the delay elements UD1-UD4 which generate the fixed time delay from which the length differs, respectively, and these delay elements UD1-UD4. Here and between the clocked into from a clock circuit, and the clock terminal of the flip-flop 2 adjusted Cascade (column) connection of the switching circuits Sw1-Sw4 corresponding to delay elements UD1-UD4 and each delay element is made alternately. By this The clock signal in which the time delay which a delay element generates joined the clock signal, and timing was behind [the original clock signal] by the generated time delay is constituted so that the clock terminal of the flip-flop 2 adjusted may be supplied.

[0072] Here, a delay element UD1 generates the time delay in which the length becomes settled by design. And a delay element UD2 generates a twice as many time delay as a delay element UD1, and similarly, it is constituted so that a delay element UD3 may generate a 4 times as many time delay as the above-mentioned delay element UD1 and a delay element UD4 may generate a 8 times as many time delay as the above-mentioned delay element UD1, respectively. For example, a delay element UD2 can be constituted like drawing 6, like the following, UD3 carries out eight-piece cascade connection of NOT element D1 of drawing 5, and constitutes it, a delay element UD1 is constituted like drawing 5, and it can constitute [UD4 can carry out 16 piece cascade connection of NOT element D1 of drawing 5, and] it. and based on the register value of a register 5, on-off control of the switching circuits Sw1-Sw4 corresponding to each [these] delay elements UD1-UD4 is carried out -- having -- a certain bit in 4 bits of a register value -- "1" it is -- the time -- the bit -- corresponding -- a switching circuit -- a delay element side -- falling -- corresponding -- a delay element -- generating -- a time delay -- a clock signal -- being added . moreover, a certain bit in 4 bits of a register value -- "0" it is -- the time -- the bit -- corresponding -- a switching circuit -- a bypass side -- falling -- corresponding -- a delay element -- skipping -- having -- generating -- a time delay -- a clock signal -- not being added -- becoming .

[0073] Therefore, since the generating time delay of each delay elements UD1-UD4 is set as 1DT, 2DT, 4DT, and 8DT and he is trying to join a clock signal here, respectively, the above-mentioned delay element 4 can adjust the time delay which is the range from a time delay 0 to time delay 15DT, and joins a clock signal with the combination of the condition of a switching circuit.

[0074] The example of 1 configuration containing the delay element 4 which can be adjusted to drawing 10 , and least significant bit 5A of a register 5 is shown. For an AND element and D12, as for a unit delay circuit and 5A, an OR element and UD1 are [a sign D1 / a NOT element and D11 / the least significant bit (1 bit) of a register 5 and D15] the clocked into from a clock circuit among drawing 10 . The clock output D16 is inputted into the clock terminal of the flip-flop adjusted. D17 -- the delay setting input to register 5A, and D18 -- the write-in signal to register 5A -- it is -- these -- a part for all the bits of a register 5 -- doubling -- in addition -- and it is the delay setpoint signal 93 which was

doubled by all registers.

[0075] The switch in here is the fundamental selector circuit which used AND element D11 and OR element D12, and the delay element UD1 which generates Delay DT is inserted in the output of one AND element D11, and the output of another AND element D11 is linking with OR element D12 directly, and is skipping the delay element UD1. That is, when the output of register 5A is a logical value "1", AND element D11 by the side of a delay element UD1 works, Delay DT is generated, when the output of register 5A is a logical value "0", AND element D11 of the side to which a delay element UD1 is made to skip works, and delay is not generated.

[0076] Other examples of a configuration containing 1 bit D13 of a register 5 are indicated to be the delay elements 4 which can be adjusted to drawing 11. This example of a configuration consists of a transfer gate component D20 and a buffer D19. Work of the transfer gate component D20 is the switch itself, and has the same work as the case where an above-mentioned AND element and an above-mentioned OR element are combined. Although it is drawing 10 and an example of mounting concerning [the circuit of drawing 11] the least significant bit, the 2nd bit, a triplet eye, and the example of mounting about the 4th bit are acquired from the least significant by using UD2, UD3, and UD4 as a unit delay circuit, respectively. It is easy to, constitute other digital circuits which have the same function as these examples of a configuration needless to say, and they can also be instead used in the above-mentioned example.

[0077] The digital system internal-state signal 12 consists of outputs of the part in a digital system 1 or all the flip-flops 2 that are adjusted, and the flip-flop 3 which is not adjusted, and is inputted into digital signal observation equipment 7. What is necessary is to prepare the output of those flip-flops as an output terminal of a digital system 1, and just to connect with digital signal observation equipment 7, in order to input the digital system internal-state signal 12 into digital signal observation equipment 7.

[0078] When there is much number of bits of the digital system internal-state signal 12, it is very good in the approach of repeating and impressing the same test signal 10, changing the group who divides the output of the above-mentioned flip-flop into two or more groups, inputs into a selector circuit, and outputs from a digital system 1.

[0079] Or it is very good in the approach of building a scanning pass circuit in a digital system 1, stopping a test signal 10 and a clock signal 9 on the way, and passing the internal state of the digital system 1 at the event to ejection and digital signal observation equipment 7 using a scanning pass circuit. The scanning pass circuit in here is a circuit which realizes a mode of operation which operates the part or all the flip-flops in a digital system 1 as a single or two or more shift registers, and it becomes possible to observe the internal state in the middle of actuation of a digital system 1, or to set up an internal state from the exterior.

[0080] The one approach of delay value setting out to a register 5 from delay setting device 6B is explained. a register 5 -- 5A has the setting-out input signal D17 and the setting-out (writing) indication signal D18 like drawing 10 by 1 bit, and the delay setpoint signal 93 consists of two kinds of this signal about all registers. The delay setpoint signal 93 is outputted from delay setting device 6B, and is inputted into a digital system 1. For example, delay setting device 6B can be constituted using the parallel interface board of a personal computer, and prepares the number of bits by the bit width of face of the above-mentioned delay setpoint signal 93. The writing of a register is

realizable by giving the signal which directs setting out to the bit which gives the signal of 0 or 1 to the delay setpoint signal connected to the setting-out input terminal of the bit which has a certain register 5 among the delay setpoint signals 93 outputted as a parallel interface output signal of delay setting device 6B, and is connected to the corresponding setpoint signal. The value written in a register at this time is a value which adjustment algorithm activation equipment 6A computed.

[0081] Or it can also constitute from the value and setup instruction signal which write a number in all the registers 5 in a digital system 1, and write a swing and the delay setpoint signal 93 in this register number and its register. In this case, the delay setpoint signal 93 sent to the digital system 1 from delay setting device 6B can be distributed according to a register number using a multiplexer circuit within a digital system 1, gives a delay setting to the setting-out input terminal of the register specified by the register number, and gives it as a setup instruction signal of the register which had the setup instruction signal specified. A parallel interface board can be similarly used for connection between delay setting device 6B in this case, and a digital system 1.

[0082] Or the serial signal (signal of 1-bit width of face) which put in order and carried out parallel serial conversion of the set point for [all] registers to the single tier, and generated it to it within delay setting device 6B can also be made into the delay setpoint signal 93. In this case, the delay setpoint signal 93 carries out serial-parallel conversion inside a digital system 1, and writes each set point in each register. Since the delay setpoint signal 93 is a signal of 1-bit width of face, serial interface circuits, such as RS-232C, can be used for connection between delay setting device 6B and a digital system 1.

[0083] Next, the 1st example of the adjustment approach of this invention for adjustment of the digital system 1 of the above-mentioned example is explained.

[0084] At an adjustment process, after the above-mentioned digital system 1 is manufactured, as shown in drawing 1, an adjusting device 6, digital signal observation equipment 7, and the digital test signal generator 8 are connected to the digital system 1, respectively, the digital test signal generator 8 inputs the digital test signal 10 and a clock signal 9 into a digital system 1, and an adjusting device 6 sets up the register value of a register 5 according to the procedure shown in drawing 13.

[0085] In this procedure, an adjusting device 6 writes first the initial value defined beforehand in a register 5 at step S1, and it is made to hold as a register value. At the following step S2 The digital test signal generator 8 outputs a test signal, and a digital system 1 is operated on the basis of an input of the clock signal 9 of constant frequency to the test signal. At the following step S3 Digital signal observation equipment 9 observes the output of the digital system 1, and the internal state of a digital system. The result to an adjusting device 6 by delivery and the following step S4 It judges whether an adjusting device 6 uses the sent observed value, a digital system 1 is mistaken, and it operates that there is nothing.

[0086] In carrying out actuation which was mistaken here, an adjusting device 6 changes the register value which the register 5 holds at step S5. At the following step S6 Although the processing concerned is ended after performing defective processing at step S8, if fixed time amount standby is carried out, it judges whether the terminating condition was filled with the following step S7 and the terminating condition is fulfilled until the result of modification is stabilized A series of processings in which it returns to step S2 if the terminating condition is not fulfilled are performed repeatedly. And when a judgment that

the digital system 1 mistook by the above-mentioned step S4 and it operated that there is nothing is obtained, the processing concerned is ended after performing excellent article processing by step S9.

[0087] About how to change a register value from the initial value mentioned above, some approaches can be used and the example is shown below. That is, the 1st approach is the approach of changing the set point one by one in suitable sequence about all the combination in the range of the register value assumed, and the 2nd approach is an approach of generating the set point in random number. And the 3rd approach is an approach of making into a initial value the delay value acquired at the time of a design, and changing the set point in the direction of +, and the direction of - from the initial value very small.

[0088] There are few delay elements 4 which can be adjusted in the digital system 1 for adjustment, and when not producing combination explosion of a register value, the 1st and 2nd approach can be used. However, this example has many delay elements 4 which can be adjusted, and since it is the case where combination occurrence of an explosion is assumed in the adjustment search space of a register value, it uses the 3rd approach. The approach called a genetic algorithm is used at this time. Below, the adjustment approach of a digital system 1 of having used the genetic algorithm is explained.

[0089] As reference of the above-mentioned genetic algorithm, they are publishing company ADDISON-WESLEYPUBLISHING COMPANY and INC., for example. David E.Goldberg published in 1989 There are "Genetic Algorithms in Search, Optimization, and and Machine Learning" of work. In addition, the genetic algorithm as used in the field of this invention means the evolutionary count technique (EvolutionaryComputation).

[0090] It can express the digital systems how many digital systems 1 are mistaken, and operate that there is nothing with the performance index F which makes an argument the delay value of the delay element in which all adjustments are possible. It is equivalent to calculating the delay value which makes a performance index F the optimal for a digital system 1 to be mistaken and to operate that there is nothing. this invention person discovered that the above-mentioned genetic algorithm could be applied to adjustment of a digital system 1 paying attention to this point. An adjusting device 6 changes the register value of a register 5 according to this genetic algorithm.

[0091] The ensemble of the imagination living thing which has a gene first is set up, and the individual which fits the environment defined beforehand survives according to the height of the fitness, and it is made for the probability to leave a descendant to increase in a genetic algorithm. And a child is made to inherit parents' gene in the procedure called hereditary actuation. An individual with high fitness comes to occupy a living thing ensemble's large number of people by performing such an alternation of generations and evolving a gene and a living thing ensemble. And the decussionation of a gene produced also in reproduction of a actual living thing as hereditary actuation in that case, mutation, etc. are used.

[0092] Drawing 14 is a flow chart which shows the outline procedure of this genetic algorithm, is step S11 first and determines the chromosome of an individual here. That is, it defines in what kind of format the data of what kind of content are transmitted to a descendant's individual from parents' individual in the case of an alternation of generations. A chromosome is illustrated to drawing 15 . Here, the variable vector x of

the target optimization problem will be expressed with the train of M notations A_i ($i=1, 2, \dots, M$), and it is considered that this is the chromosome which consists of M loci. Each notation A_i is a gene and these values that can be taken are alleles. Ch shows a chromosome among drawing 15, Gs shows a locus, and the number M of a locus is 5. As allele, the group of a certain integer, the real number value of a certain range, the train of a mere notation, etc. are defined according to a problem. In the example of drawing 15, the alphabet of a-e is allele. Thus, the set of the symbolized gene is the chromosome of an individual.

[0093] The count approach of the fitness which means how much the each object fits the environment in the above-mentioned step S11 next is determined. In that case, the more expensive variable or the lower variable of a performance index of the target optimization problem is designed so that the fitness of the individual corresponding to it may become high. Moreover, it is made for the probability for the higher individual of fitness to make the probability or descendant who survives from the alternation of generations performed after that to become higher than the low individual of other fitness. On the contrary, the low individual of fitness regards it by the environment as the individual which does not fit well, and extinguishes it. This reflects the principle of the natural selection in the theory of evolution. That is, fitness turns into a scale showing how many each objects see from the field of the possibility of survival and are excellent.

[0094] In a genetic algorithm, at the time of retrieval initiation, generally the target problem is an entire black box, and it is completely unknown what kind of individual is desirable. For this reason, an early living thing ensemble makes it usually generate at random using a random number. Therefore, an early living thing ensemble makes it generate at random also in the procedure in here using a random number at the step S13 after starting processing at step S12. In addition, when there is a certain preliminary knowledge to the search space, it may process generating a living thing ensemble focusing on the part considered for an assessment value to be high etc. Here, the total of the individual which makes it generate is called collective population.

[0095] Next, at step S14, the fitness of the each object in a living thing ensemble is calculated based on the count approach previously decided at step S11. If fitness can be found about an each object, selection selection of the individual used as the radical of the next generation's individual will be carried out from an ensemble at step S15 next. However, only by performing selection selection, a new searching point will not arise only by the rate that an individual with the highest fitness at present occupies in a living thing ensemble becoming high. For this reason, actuation called the decussation described below and mutation is performed.

[0096] That is, out of the individual of the next generation generated by selection selection, the pair of two individuals is chosen at random with predetermined occurrence frequency, a chromosome is rearranged, and a child's chromosome is made from the following step S16 (decussation). Here, the probability for decussation to occur is called the rate of decussation. A descendant's individual generated by decussation is an individual which inherited the characteristic from each of the individual which asks parents. By processing of this decussation, the versatility of the chromosome of an individual increases and evolution arises.

[0097] After decussation processing is the following step S17, and changes the gene of an individual by the fixed probability (mutation). Here, the probability for mutation to occur

is called a mutation rate. The phenomenon in which the content of the gene is rewritten by the low probability is a phenomenon seen also in the gene of a actual living thing. However, when a mutation rate is enlarged too much, the description of heredity of the characteristic of the parents by decussation is lost, and since it becomes the same with searching the inside of the search space at random, caution is needed.

[0098] It investigates whether the valuation basis for the living thing ensemble of the next generation which the next-generation ensemble was determined and was generated by the above processing at step S18 here next to end retrieval is met. As for this valuation basis, the following is typical although it is dependent on a problem.

- The maximum fitness in a living thing ensemble became larger than a certain threshold.
- The fitness of an average of the whole living thing ensemble became larger than a certain threshold.
- The rate of increase of a living thing ensemble's fitness continued beyond a period when the generation below a certain threshold is fixed.
- The count of an alternation of generations reached the count appointed beforehand.

[0099] When it is filled any of the terminating condition (valuation basis) like **** they are, it progresses to step S19, retrieval is ended, and it considers as the solution of the optimization problem which asks for an individual with the highest fitness in the living thing ensemble in the event. When a terminating condition is not fulfilled, it returns to processing of count of the fitness of the each object of step S14, and retrieval is continued. The fitness of an individual can be raised by the repeat of such an alternation of generations, keeping a collective population constant. The above is the outline of a genetic algorithm.

[0100] The framework of the genetic algorithm described in the top is the loose thing which does not specify the detail of actual programming, and the detailed algorithm to each problem is not specified. For this reason, in order to use a genetic algorithm for adjustment of the digital system of this example, it is necessary to realize the following items to adjustment of a digital system.

(a) The expression approach of a chromosome (b) Performance index of an individual (c) The selection selection approach (d) The decussation approach (e) The mutation approach (f) Retrieval terminating condition [0101] Drawing 16 is a flow chart which shows the procedure of the adjusting device 6 using the genetic algorithm in this example. In addition, processing of this drawing 16 shows concretely processing of step S3 of drawing 13 - step S5. This example is characterized [big] by using the register value of a register 5 directly as a chromosome of a genetic algorithm, and, thereby, can make unnecessary processing for changing the information on a chromosome into a register value etc. That is, the chromosome in this example consists of register values of two or more registers 5, as shown in drawing 17 . In addition, with the delay value in drawing 17 , a thing forward (with no sign) in a sign delays a signal, as for a thing negative in a sign, only the time amount advances a signal, and the unit ps of a delay value means a picosecond only for the time amount.

[0102] After setting up a digital system 1 with the register value which is used by processing of drawing 16 and which the chromosome of an individual expresses as a performance index F of the individual of a genetic algorithm, it is made to operate, and the function showing how close [to expected value] the digital output observed by digital signal observation equipment 9 is is used.

[0103] In order to use by the processing shown in drawing 16 , previously, at step S1 of drawing 13 , as an initial ensemble of a genetic algorithm, a uniform random number is used and two or more individuals are created. That is, it means that the value of each gene of each chromosome of an initial ensemble takes the value of 1 by the probability 0.5, and takes the value of 0 by the probability 0.5 in this case. However, when a certain preliminary knowledge exists about the inclination of the unevenness of clock timing, the individual considered for fitness to be more high can be created as an initial ensemble.

[0104] From the observed value sent from digital signal observation equipment 7, fitness is calculated using the above-mentioned performance index with an adjusting device 6. Then, it judges whether the engine performance of a digital system 1 is mistaken, and it operates that there is nothing at step S23, and in carrying out mistaken actuation, selection selection of step S24, decussation of step S25, mutation of step S26, and processing of step S27 are performed, and it makes the ensemble (ensemble of the candidate of a solution) of a next-generation individual.

[0105] When the chromosome (a register value) which is mistaken even if it performs adjustment processing [although the adjustment processing when a deer is carried out, the engine performance of a digital system 1 mistakes by decision in step S23 and it operates that there is nothing, after performing excellent article processing by step S9 is ended / the number of regularity generations], and operates that there is nothing is not obtained, the digital system 1 for adjustment is judged to be a defective, and the processing as a defective carries out at step S8 of drawing 13 .

[0106] In selection selection processing of the above-mentioned step S24, the approach shown in the flow chart of drawing 18 is used. It is step S31 and step S32 first, and this approach chooses two individuals A and B at random out of an ensemble, subsequently it is step S33 - step S35, and makes them the individual which makes the individual of the one where the value of fitness is more larger survive the next generation among those two individuals A and B. And it returns from step S36 to step S31, and the actuation is repeated until the number of the surviving individuals reaches a collective population. By this approach, although possibility that the large individual of fitness will be chosen as the next generation's individual is high, since Individuals A and B are chosen at random, possibility that an individual with low fitness will also be chosen as a next-generation individual will be left behind. If fitness leaves only a high individual, it will do in this way for collective convergency increasing, being caught by the local optimum solution, and adjustment becoming easy to go wrong.

[0107] In decussation processing of the above-mentioned step S25, the approach shown in the explanatory view of drawing 19 is used. This is actuation of replacing a chromosome selectively in a random location, and is technique called one-point decussation. By drawing 19 , it is the chromosome of the parents A and B who survived as a result of selection selection of Ch1 and Ch2, and these chromosomes are cut by the decussation processing in here in the decussation location CP chosen at random. In the example of drawing 19 , between the 3rd gene and the 4th genes is made into the decussation location from the left. and child A' which has chromosomes Ch3 and Ch4 by replacing the cut partial genotype here, respectively and Child B -- ' It generates and these are replaced with the individuals A and B of a basis.

[0108] The mutation of the above-mentioned step S26 which pulls to decussation at step S25, and is continued and performed to it is actuation in which are the occurrence

probability of a mutation rate about each bit of the gene of each chromosome, and change 0 into 1 and it changes 1 into 0. The example of mutation is shown in drawing 20. In this drawing, a chromosome Ch5 is square, from the left surrounded and shown, mutation arises in the gene of the right to a triplet eye with the 2nd bit, and each is changed into allele in the chromosome Ch6.

[0109] As mentioned above, the delay element 4 whose delay value is adjustable is inserted in the clock circuit to two or more bistable devices in a digital system 1, and the digital system 1 of this example is searched so that a digital system 1 may mistake the delay value of those delay elements 4 and it may operate that there is nothing. Therefore, the error of the clock timing resulting from the ununiformity of the quality of the clock circuit in a digital system production process, the error on a design, etc. can be absorbed, it can adjust so that a digital system 1 may be mistaken and it may operate that there is nothing, and this is design efforts fewer than the case where it is based on the conventional technique, and means that a digital system larger-scale than the case where it is based on the conventional technique, and high-speed is obtained. In addition, it is LSI in order to choose the flip-flop made applicable to adjustment in this example. The data of the float of the timing for every flip-flop which a CAD system computes can also be used. That is, it is making applicable to adjustment the flip-flop around on [of it] the pass of a critical path which chooses the flip-flop of the number of specification from the direction with few floats, and considers as the object for adjustment, or determines the upper limit of the clock frequency of a digital system etc.

[0110] Moreover, the following adjustment approaches can also be used about this example. That is, after the adjustment is completed, the frequency of a clock signal 9 is raised, and although [the adjustment approach mentioned above] the frequency of a clock signal 9 is constant value, it can adjust by performing same adjustment so that clock frequency may become high further.

[0111] The adjustment approach in above-mentioned is shown in drawing 21. With this procedure, after setting the frequency of the clock signal 9 first inputted into a digital system 1 at step S61 as f_0 , an adjusting device 6 adjusts step S9 at step S62 from step S1 shown in drawing 13. At the following step S63, it judges whether the digital system 1 was adjusted to the excellent article as a result of adjustment of step S61. As a result of adjustment, when it does not become an excellent article, the processing concerned is ended. When it becomes an excellent article as a result of adjustment, nine are set as the big value f_1 rather than a clock frequency f_0 at step S64. Then, a digital system 1 is adjusted like step S62 at step S65. At step S66, the same judgment as step S63 is made, and when it is an excellent article, it repeats adjusting by making a frequency into a big value further. When a clock frequency is set as a upper limit f_n at step S68 as a result of a repeat, it adjusts at step S69 and the processing concerned is ended.

[0112] Said clock frequency f_0 becomes settled by the design value of the clock frequency of a digital system 1, and the upper limit of the input-clock frequency on which a frequency f_n is permitted. The precision of the adjustment needed determines the value of n , and the value of f_1 to f_{n-1} . By this adjustment approach, the upper limit of the clock frequency of a digital system 1 can be raised according to dispersion in clock timing.

[0113] Moreover, f_0 is caudad set up from the design value of clock frequency, and when a clock frequency f_i ($i=1, \dots, n$) is raised and adjusted gradually, time amount also has the advantage that this thing can ensure adjustment in adjustment.

[0114] The stability of a digital system can be raised by furthermore operating the digital system judged with clock frequency f_j to be an excellent article on the frequency of f_i ($i < j$) by the above-mentioned adjustment approach at the time of a system use. since [because,] clock timing is adjusted so that it may operate on a frequency higher than the time of an activity -- the temperature of a digital system, and external electromagnetism - - even when a delicate change arises to clock timing under the effect of a noise, it is because it is hard coming to generate malfunction.

[0115] This adjustment approach can be used also in the mass production process of a digital system 1. At the conventional mass production process, only the performance test was performed without generally adjusting and it was sorting out according to the upper limit of the clock frequency which becomes settled by the degree of dispersion in each system. However, since according to the above-mentioned adjustment approach the manufactured digital system can adjust according to an individual and clock frequency can be raised, the ratio of the digital system which operates on a high frequency can be raised. Therefore, the digital system which operates on a high frequency can raise productive efficiency in hard [slight / which is sold by the expensive rank].

[0116] Next, there are the following modifications in the 1st example of this invention. In the previous example, an adjusting device 6, digital signal observation equipment 7, and the digital test signal generator 8 are connected to a digital system 1 possible [desorption] as an external device. However, in this invention, you may also include in a digital system 1 by using the circuit equivalent to said external device as an adjustment device.

[0117] Thus, the constituted modification is shown in drawing 22 . Here, the circuit equivalent to said external device besides body of digital system 1L is incorporated in the digital system 1. Between the input terminal of digital system 1L and the output terminal, and the external input terminal 32 of digital system 1L and the external output terminal 33, the change-over switch 30 is installed, respectively. Although this change-over switch 30 may be formed in digital system 1L like the example of a graphic display, it may be formed out of the digital system 1.

[0118] Here, if a change-over switch 30 is operated, while the output of body of digital system 1L will be inputted into digital signal observation circuit 7L, equalization circuit 6L, digital signal observation circuit 7L, and digital test signal generating circuit 8L start actuation, and adjust a register value. If adjustment is completed, the output of body of digital system 1L will be changed to an output terminal 33 side by actuation of a change-over switch 30. In addition, in this example, when the register value which body of digital system 1L is mistaken, and operates that there is nothing is not acquired, the light emitting device 31 which carries out an alarm display is formed.

[0119] According to this modification, after not only adjustment of the digital system 1 at the time of manufacture but a user purchases the product incorporating a digital system 1, the user itself can also adjust a digital system 1 at any time. Moreover, after manufacturing a digital system 1, what makes adjustment with work can also adjust a digital system 1 further. Moreover, when the temperature and others of the environment where digital system 1L was placed change, even if change arises to the clock timing in body of digital system 1L, the change can be compensated and there is a merit that the probability of malfunction of body of digital system 1L can be reduced. In addition, a change-over switch 30 can also be constituted so that an automatic change-over may be carried out not only at hand control but at a power up. Moreover, when the clock

generation circuit is installed in the digital system 1, the clock signal may be used for a clock signal 9.

[0120] Next, the 2nd example of the digital system of this invention is explained. This example is an example of 1 configuration at the time of applying the approach of this invention to a memory test pattern-generator circuit. Drawing 27 is a block diagram which makes generating of a memory test pattern a basic function and in which showing memory test pattern-generator circuit 1G as the 2nd example of the digital system of this invention, it corresponds to the part of the digital system 1 of drawing 1, and equipments other than this use the same thing as drawing 1. Here, an adjusting device 6, digital signal observation equipment 7, and the digital test signal generator 8 are external devices.

Moreover, the same sign as it is given to the same circuit as what is shown in drawing 1.

[0121] The flip-flop 2 adjusted is the usual D flip-flop, and the flip-flop 3 which is not adjusted is the usual D flip-flop similarly. Although a direct clock circuit is connected to the clock terminal of the flip-flop 3 which is not adjusted, the delay element 4 which can be adjusted is inserted between the clock terminal of the flip-flop 2 adjusted, and the clock circuit.

[0122] The register 5 which controls the time delay of the delay element 4 is connected to the delay element 4 which can be adjusted. The delay element 4 which adjusts [4 bits, then] a register 5 can be constituted like drawing 26 here. Furthermore, the delay element 4 which adjusts [50ps(es) then] the smallest unit DT of a time delay follows the value of a register 5, and is 0ps to 750ps(es). Delay of until can be generated. A register 5 can consist of four usual D flip-flops, when it has 4-bit width of face. The delay value setpoint signal for 4 bits and a setup instruction signal common to 4 bits are inputted into a register 5.

[0123] The delay setpoint signal 93 collects as common setpoint signals as the delay value setpoint signal for 4 bits of this register 5 by all registers. Moreover, the digital system internal-state signal 12 collects all the outputs of the flip-flop 2 adjusted.

[0124] A decoder circuit 20A1 performs decoding to the signal inputted, and is constituted as a combinational circuit (storage elements, such as a flip-flop, are not included). The ALU circuit 20A2 is a combinational circuit which inputs two input signals 4 bits [each] and a 4-bit operation assignment signal, performs the operation which followed the operation assignment signal between two input signals, and outputs the result of an operation as 4-bit output data. Inverter circuit 20 A3 has reversal or the function which it is noninverting and is outputted, and the assignment from the outside constitutes the input signal as a combinational circuit.

[0125] The PLL circuit 94 is connected between the delay elements 4 which are connected to the input terminal of a clock signal 9, and the flip-flop 2 adjusted and which can be adjusted, it is the same frequency supplied to the flip-flop 2 adjusted, and the clock signal with which timing progressed only in 400 ps is generated. since the delay element 4 which can be adjusted can generate delay from 0ps to 750ps(es) as above-mentioned -- in all [both] -- delay from -400ps to 350ps(es), i.e., the clock to the condition which was late for the condition of having progressed 400 ps, 350 ps, can be supplied to the flip-flop 2 each adjusted.

[0126] Therefore, the clock timing of the flip-flop 2 adjusted in this case also changes with the values set as a register 5 from -400ps to 350ps(es). For example, when 1011 is set as a register 5, the clock timing of the corresponding flip-flop 2 adjusted is overdue

150 ps to the clock signal 9 supplied from the outside.

[0127] To the clock terminal of the flip-flop 3 which is not adjusted, a clock signal 9 is supplied directly, and the flip-flop 3 which is not adjusted operates to the same timing as a clock signal 9 for it.

[0128] The circuit of this example is the ALU circuit 20A2. One input is fed back on both sides of the flip-flop 2 adjusted, and is not simple pipeline structure.

[0129] Although it is considered as the flip-flop 3 which does not have all the flip-flops connected to the external terminal of a digital system 1 adjusted and being considered as the flip-flop 2 which has except [its] adjusted in this example, it is not necessary to be necessarily this passage as this invention. Moreover, although similarly constituted only from an output of the flip-flop 2 which has the digital system internal-state signal 12 adjusted, this does not necessarily need to be this passage, either.

[0130] Even if the weighted solidity of each component which appears in this example is not necessarily exact, the method of this invention can be applied and is effective.

[0131] This example is suitable especially when applying to a memory test pattern-generator circuit which is used for the test of a high-speed memory device. Furthermore, although the output of the circuit taken up by this example is 4 bits, since in the case of a memory test pattern-generator circuit with an output with more much number of bits adjustment parts increase in number, and the dependency of the time delay between flip-flops becomes complicated and combination explosion tends to break out, especially this invention is suitable.

[0132] The adjustment approach of the 2nd example of this invention applied to memory test pattern-generator circuit 1G of this example shown below at drawing 27 is described. This engine performance of memory test pattern-generator circuit 1G can express the delay value of the delay element four A1 to 4A14 in which two or more adjustments are possible with the performance index F made into an argument. It is equivalent to calculating the delay value which makes a performance index F the optimal for memory test pattern-generator circuit 1G to be mistaken, and to operate that there is nothing.

[0133] In this example, there are many delay elements 4 adjusted as 14 pieces (four A1 to 4A14), and since it is the case where combination occurrence of an explosion is assumed, an adjusting device 6 changes the value of a register 5 according to a genetic algorithm using a performance index F.

[0134] Adjustment of a delay element 4 is performed like the case of the 1st example according to the flow chart shown in drawing 13 and drawing 16. This example is characterized [big] by using the value of a register 5 directly as a chromosome of a genetic algorithm. Thereby, the processing for changing the information on a chromosome into a register value etc. becomes unnecessary.

[0135] That is, the chromosome in this example consists of register values of 14 registers 5 corresponding to 14 delay elements, as shown in drawing 17. And each register 5 corresponding to each component parameter is 4 bits. So, register length (= chromosome length) is 56 bits. Therefore, the magnitude of the adjustment search space in memory test pattern-generator circuit 1G of the above-mentioned example is $2^{56} \times 10^{17}$ (17th power of 10), and, needless to say, the adjustment by all retrieval is impossible.

[0136] It sets to the delay element 4 shown in drawing 26, and they are 50ps(es) about the value of DT at this example. It carried out. In addition, this value is defined according to the variation in clock timing. For example, the delay corresponding to [in the register

value 1011 in drawing 17, switching circuits Sw4, Sw2, and Sw1 serve as ON, and delay elements UD4, UD2, and UD1 are connected to a clock circuit, and] the register value 1011 as this result is $8 \times 50 + 2 \times 50 + 50 - 400 = 150\text{ps}$. It becomes. Similarly, the delay corresponding to the register value 0101 serves as $4 \times 50 + 50 - 400 = -150\text{ps}$, and the delay corresponding to the register value 0001 serves as -350ps .

[0137] After setting up memory test pattern-generator circuit 1G with the register value which is used by processing of drawing 14 and which the chromosome of an individual expresses as a performance index F of the individual of a genetic algorithm, it is made to operate, and the function showing how close [to expected value] the output observed by digital signal observation equipment 7 is is used. Specifically, the value calculated by the following performance indices F is used for the fitness (fitness) of a genetic algorithm.

[Equation 1] $\text{fitness} = F = \text{NC} / \text{NT}$ [0138] The total number of bits of the digital output signal 11 of memory test pattern-generator circuit 1G [as opposed to the sequence of the digital test signal 10 in NT] and the digital system internal-state signal 12 and NC are the total numbers of bits of the digital value as expected here among the digital output signal 11 of this memory test pattern-generator circuit, and the digital system internal-state signal 12. When the above-mentioned performance index F takes the real number values from 0 to 1 and the value of 1 is taken, it means that memory test pattern-generator circuit 1G for adjustment are mistaken, and had operated that there is nothing. For example, supposing NC was 253 and NT is 500 among the output sequences of the digital system 1 set up with the register value which a certain chromosome expresses, the value of the performance index F in that case will be set to 0.506.

[0139] In order to use by the processing shown in drawing 14, previously, at step S1 of drawing 13, as an initial ensemble of a genetic algorithm, a uniform random number is used and two or more individuals are created. That is, it means that the value of each gene of each chromosome of an initial ensemble takes the value of 1 by the probability 0.5, and takes the value of 0 by the probability 0.5 in this case. In this example, the collective population was set to 50.

[0140] After an appropriate time, memory test pattern-generator circuit 1G are operated with the register value which an each object expresses, the observation in the observation equipment 5 in step S3 is used, and fitness is calculated by the above-mentioned performance index with an adjusting device 6 in step S4. Then, one by one, by step S24, it crosses at selection selection and step S25, mutation is processed at step S26, and the ensemble (ensemble of the candidate of a solution) of a next-generation individual is made. In this example, the population which performs decussation of all the populations came out comparatively, a certain rate of decussation was set to 0.5, and the mutation rate used 0.0125.

[0141] When it is judged whether memory test pattern-generator circuit 1G are mistaken, and it operates that there is nothing, it mistakes by step S4 and it operates that there is nothing, excellent article processing is performed and adjustment processing is ended. Moreover, even if it performs adjustment processing repeatedly the number of regularity generations, when the chromosome (register value) which is mistaken and operates that there is nothing is not obtained, memory test pattern-generator circuit 1G for adjustment are judged to be a defective, and perform processing as a defective at step S8. In addition, the generation number which closes a repeat was set to 20 in this example.

[0142] The experimental result at the time of applying to below the adjustment approach

which used the genetic algorithm of this example for memory test pattern-generator circuit 1G shown in drawing 27 is shown. In this experiment, the circuit was produced by the LSI chip of the cel base which used bipolar technology.

[0143] When clock frequencies were 800Mhz(es) as a result of the above-mentioned experiment, and not adjusting and the LSI chip which was operating accidentally adjusted by the approach using genetic algorithm GORIZUMU, it has ******(ed) mistaking and operating that there is nothing. The relation of the fitness (average of 10 trial) and the generation number which are the value of the performance index F of the best individual in the generation under experiment is shown in drawing 28. It turns out that the value of fitness rises and timing is adjusted as the generation of a genetic algorithm progresses. The effectiveness of the adjustment approach of this example has been checked by this experiment. In addition, in this example, although the memory test Batang generator circuit was mounted on the integrated circuit of the cel base, it can also mount using the integrated circuit of FPGA, CPLD, etc. which can be reconfigured. In this case, even if it mounts a delay adjustment component as a part of usual logical circuit, FPGA and CPLD which made the delay adjustment component to inside may be developed, and you may mount using it.

[0144] As mentioned above, a delay element four A1 to 4A14 is inserted in the clock circuit to a bistable device, and memory test pattern-generator circuit 1G of this example are searched so that memory test pattern-generator circuit 1G may mistake the time delay of those delay elements 3 and it may operate that there is nothing. Therefore, the error of the clock timing resulting from the ununiformity of the quality of the clock circuit in an integrated-circuit production process, the error on a design, etc. can be absorbed, it can adjust so that memory test pattern-generator circuit 1G may be mistaken and it may operate that there is nothing, and this is design efforts fewer than the case where it is based on the conventional technique, and means that a digital system more nearly high-speed than the case where it is based on the conventional technique is obtained.

[0145] The following modifications can be carried out about this example. In case memory test pattern-generator circuit 1G are adjusted, in addition to the output of digital signal observation equipment 7, the amount of consumed electric currents and calorific value of memory test pattern-generator circuit 1G can also be observed, and it can include in a performance index (fitness). Generally, since the calorific value and the amount of consumed electric currents of LSI are changed by the clock timing inputted into the flip-flop inside LSI, if it does in this way, they can respond to various requirement specification and can raise adjustment precision.

[0146] The example of a configuration in above-mentioned is shown in drawing 29. As for a sign 13, a thermometer and 14 are power sources among drawing 29. In addition, the same part as what is shown in drawing 1 attaches the same sign as it among drawing 29. Here, a thermometer 13 measures the temperature of LSI of memory test pattern-generator circuit 1G, carries out A/D conversion of the value, and tells an adjusting device 6. Although a power source 14 is equipment which supplies a power source to memory test pattern-generator circuit 1G, it carries out A/D conversion of the current supplied value, and tells an adjusting device 6. In an adjusting device 6, while the digital test signal generator 8 is outputting the test signal 10, the mean temperature and the amount of average consumed electric currents in the meantime are calculated by supervising temperature and the amount of consumed electric currents.

[0147] In this modification, the following performance indices can be used, for example.
[Equation 2] $\text{fitness} = \text{NC} / \text{NT}$ (in the case of $\text{NC} / \text{NT} < 1$)

$\text{fitness} = 1 + 1 / (1.0 + w_1 |T - T_m| + w_2 |I - I_m|)$ (in the case of $\text{NC} / \text{NT} = 1$)

[0148] Here, fitness [in / in fitness / a genetic algorithm], the mean temperature which measured T, the amount of average consumed electric currents which I measured, the mean temperature with ideal T_m , the amount of average consumed electric currents with ideal I_m , and w_1 and w_2 are weighting factors. In this performance index, it adjusts, and after stopping malfunctioning, it adjusts so that the amount of average consumed electric currents and the mean temperature may be brought further close to an ideal value, until memory test pattern-generator circuit 1G stop malfunctioning. In this invention, in order to raise adjustment precision further, you may also include the peak value under amount observation of consumed electric currents in the above-mentioned performance index.

[0149] Next, the example of 1 configuration of a digital system with the pipeline structure as the 3rd example of the digital system of this invention is shown. Drawing 30 shows the configuration of a digital system with the pipeline structure of this 3rd example, and among drawing 30, 1P are a digital system with pipeline structure, and the system of this example is constituted using digital system 1P which have pipeline structure as a concrete configuration, although the same function as that digital system 1 is done so instead of the digital system 1 in the 1st example. In addition, if shown in drawing 1, the same sign as it is given to the same component.

[0150] Generally, the output of a certain combinational circuit is connected to two or more flip-flops, and pipeline structure means the structure where the output value of said combinational circuit does not receive effect with the output value of this flip-flop. Digital system 1P with this pipeline structure have combinational-circuit 20P1-20P3 into which flip-flop 2P1-2P8, 3P1 - 3P8, and the clock signal 9 into which a clock signal 9 is inputted are not inputted. 4P1-4P8 are the delay element which can be adjusted, and the time delay is respectively adjusted according to the value which register 5P1-5P8 show. In this example, the number of the adjustment parts is eight. Among drawing 30, the signal line which begins to read the digital value to which the sign 11 holds said flip-flop 3P5 - 3P8, and 12 are signal lines which begin to read said digital value holding flip-flop 2P1-2P8, and it connects with digital signal observation equipment 7, respectively.

[0151] In a digital system with pipeline structure, it originates in the timing as which a clock signal 9 is inputted into flip-flop 3P1 - 3P8, and 2P1-2P8 with the impedance mismatch in a clock circuit, stray capacity, etc. becoming an ununiformity, malfunction is produced, and the output 11 of a digital system with pipeline structure does not become expected value in many cases. So, although it is effective as a cure against malfunction to adjust the timing of a clock signal, it is necessary to adjust synthetically the adjustment parts from delay element 4P1 to 4P8. So, in this system, since it had the description in the dependency of the data signal by pipeline structure, the approach of adjusting using it effectively was invented.

[0152] The 3rd example of the adjustment approach of this invention for the adjustment of digital system 1P which has the above-mentioned pipeline structure in below is explained. Although the adjustment approach of this example is the same as the adjustment approach of the 1st previous example fundamentally, a register is adjusted selectively and gradually.

[0153] After digital system 1P with pipeline structure are manufactured, as shown in

drawing 30, an adjusting device 6, digital signal observation equipment 7, and the digital test signal generator 8 are connected to digital system 1P with the pipeline structure by the inspection process, respectively. The digital test signal generator 8 inputs a test signal 10 and a clock signal 9 into digital system 1P with pipeline structure. Digital signal observation equipment 7 observes the output value with pipeline structure of digital system 1P, and/or the value of flip-flop 2P1-2P8, and gives them to an adjusting device 6. An adjusting device 6 sets up the register value of register 5P1-5P8 using a genetic algorithm according to the procedure shown in drawing 31.

[0154] In this procedure, an adjusting device 6 writes first the initial value defined beforehand in a register 5 at step S100, and it is made to hold as a register value. At the following step S101 The digital test signal generator 8 outputs a test signal, and digital system 1P are operated on the basis of an input of the clock signal 9 of constant frequency to the test signal. At the following step S102 The observed value from which digital signal observation equipment 9 observed the digital value holding flip-flop 2P1 to 2P4, and the result has been sent to the adjusting device 6 in the adjusting device 6 at delivery and the following step S103 is used, and the value of fitness judges whether it is below constant value.

[0155] When the value of fitness is below constant value, an adjusting device 6 changes the register value which register 5P1 to 5P4 hold at step S104. At the following step S105 Although the processing concerned is ended after performing defective processing at step S107, if fixed time amount standby is carried out, it judges whether the terminating condition was filled with the following step S106 and the terminating condition is fulfilled until the result of modification is stabilized A series of processings in which it returns to step S101 if the terminating condition is not fulfilled are performed repeatedly. And at the above-mentioned step S103, when judgment that the value of fitness is more than constant value is obtained, adjustment of register 5P1 to 5P4 is ended, and it progresses to step S108.

[0156] At step S108, the digital test signal generator 8 outputs a test signal, and digital system 1P are operated to the test signal. At the following step S109 Digital signal observation equipment 9 observes the digital value holding flip-flop 2P5 to 2P8, and an output 11. The result to an adjusting device 6 at delivery and the following step S110 An adjusting device 6 uses the sent observed value, and it judges whether a value whenever suitable is below constant value.

[0157] When the value of fitness is below constant value here, an adjusting device 6 changes the register value which register 5P5 to 5P8 hold at step S111. At the following step S112 Although the processing concerned is ended after performing defective processing at step S114, if fixed time amount standby is carried out, it judges whether the terminating condition was filled with the following step S113 and the terminating condition is fulfilled until the result of modification is stabilized A series of processings in which it returns to step S108 if the terminating condition is not fulfilled are performed repeatedly. And when judgment that the value of fitness is more than constant value is obtained at the above-mentioned step S110, the processing concerned is ended after performing excellent article processing at step S115.

[0158] The procedure of a genetic algorithm here is the same as that of the case of an example 1, and the chromosome and register value in a genetic algorithm correspond by one to one. That is, the chromosome is constituted from the register value of four pieces

corresponding to four adjustment parts of register 5P1 to 5P4 by the adjustment in the loop formation of step S101 to the step S103. The chromosome is constituted from the register value of four pieces corresponding to four adjustment parts of register 5P5 to 5P8 by the adjustment in the loop formation of step S108 to the step S110. Let each register corresponding to each adjustment part be a 4-bit thing here. So, chromosome length is 16 bits, therefore the magnitude of the partial adjustment search space of the above-mentioned example is $2^{16}=65536$.

[0159] By the way, in adjustment by the genetic algorithm, the search time proportional to the magnitude of all adjustment search space generally is required. However, since it carries out to the dependency of the data of pipeline structure as mentioned above here paying attention to adjustment of digital system 1P by dividing into partial adjustment of register 5P1 to 5P4, and adjustment of register 5P5 to 5P8 The magnitude of all adjustment search space is set to $65536 \times 2 = 131072$, and can be dramatically reduced as compared with magnitude $2^{(16+16)} \times 10^9$ (9th power of 10) at the time of adjusting all registers simultaneously.

[0160] The adjusting device 6 in here evaluates using the performance index shown below.

[Equation 3]

$\text{fitness} = \text{NC} / \text{NT}$ (in the case of $\text{NC} / \text{NT} < 1$)

$\text{fitness} = 1 + 1 / (1.0 + |\text{DL}|)$ (in the case of $\text{NC} / \text{NT} = 1$)

[0161] NT is the total number of bits of the digital value observed with digital signal observation equipment 7 to the sequence of the digital test signal 10 here, and NC is the total number of bits of the digital value as expected among these digital value. Fitness [in / in fitness / a genetic algorithm] and DL are the sum totals of the time delay of all the delay elements currently adjusted. In this performance index, it adjusts, and after stopping operating accidentally, it adjusts so that the sum total of the value of a delay value may lessen further if possible, until digital system 1P with pipeline structure are mistaken and it operates that there is nothing. In addition, what is necessary is just to use 1.0 or more values for the decision-criterion value of the fitness in the above-mentioned step S103 and step S110 in this case.

[0162] According to the approach of this example, delay element 4P1-4P8 in which two or more adjustments are possible are used on the clock signal 9 in digital system 1P with pipeline structure. Since those delay values are adjusted so that digital system 1P may not malfunction A gap of the clock timing resulting from the ununiformity of the process of the clock circuit in the production process of a digital system with pipeline structure, the error on a design, etc. can be absorbed, and it can adjust so that digital system 1P with pipeline structure may not malfunction. Moreover, in this example, since it can adjust selectively and gradually paying attention to the data dependency of pipeline structure, the adjustment search space can be made small and adjustment time amount can be lessened.

[0163] Although the number of stages of pipeline structure was set to 4 in this example, needless to say in this invention, size of a number of stages is not asked. Moreover, since the partial adjustment search space becomes small when there are few data lines in case a register is adjusted selectively, all heuristics may be used, without using the adjustment approach using a genetic algorithm. For example, by 2, when the number of bits of each register is 4 bits, since the number of the registers adjusted is set to $2^8=256$, the partial

adjustment search space investigates all possibility that it may be, and it should just adjust it.

[0164] Next, the example of 1 configuration of the digital circuit substrate as the 4th example of the digital system of this invention is shown. Drawing 32 shows the configuration of the digital circuit substrate of this 4th example, among drawing 32, 1B is a digital circuit substrate and the system of this example is constituted using digital circuit substrate 1B which does so the same function as that digital system 1 instead of the digital system 1 in the 1st example. In addition, if shown in drawing 1 , the same sign as it is given to the same component.

[0165] In this digital circuit substrate 1B, two or more electronic parts 16 into which LSI 1L1 to 1L10 into which a clock signal 9 is inputted, and a clock signal are not inputted are mounted. Moreover, those LSI and electronic parts of each other are connected by the data signal line which is not illustrated. Four B1 to 4B10 is the delay element which can adjust a time delay, and the time delay is respectively adjusted according to the value which a register five B1 to 5B10 shows. In this example, the number of the adjustment parts is ten. Moreover, a sign 15 is an electromagnetic wave measuring device which is an external device.

[0166] In a digital circuit substrate, it originates in the timing as which a clock signal is inputted into each LSI 1L1 to 1L10 with the impedance mismatch in the clock circuit on a substrate, stray capacity, etc. becoming an ununiformity, LSI which produces malfunction exists, and the output 11 of a digital circuit substrate does not become expected value in many cases. So, although it is effective as a cure against malfunction to adjust the timing of the clock signal to each LSI, since the data signal of LSI1L1-LSI 1L10 has a dependency mutually, it is necessary to adjust synthetically the adjustment part from a delay element four B1 to four B10.

[0167] moreover, the electromagnetism emitted from a substrate since the digital signal current containing the harmonic content of a high frequency flows a substrate top in a digital circuit substrate -- the power of a noise is large. Therefore, other electronic instruments in the body or near are affected as an EMI noise. This radiated noise can lower the peak value of that power by shifting the input-clock timing to each LSI minutely. Therefore, the effect on the exterior by the radiated noise can be reduced by observing the above-mentioned radiated noise and adjusting clock timing.

[0168] The above-mentioned electromagnetic wave measuring device 15 measures the power of the electromagnetic wave emitted from a substrate, carries out A/D conversion of the value, and tells an adjusting device 6. In an adjusting device 6, while the digital test signal generator 8 is outputting the test signal, peak value in the meantime is computed by supervising electromagnetic wave power.

[0169] The 4th example of the adjustment approach of this invention for adjustment of the above-mentioned digital circuit substrate 1B is explained. The adjustment approach of this example is the same as the adjustment approach of the 1st previous example fundamentally.

[0170] After digital circuit substrate 1B is manufactured, as shown in drawing 32, an adjusting device 6, digital signal observation equipment 7, the digital test signal generator 8, and the electromagnetic wave measuring device 15 are connected to the digital circuit substrate 1B by the inspection process, respectively. The digital test signal generator 8 inputs a test signal 10 and a clock signal 9 into digital circuit substrate 1B. The output

value of digital circuit substrate 1B is observed, the electromagnetic wave measuring device 15 observes the radiated noise of digital circuit substrate 1B, digital signal observation equipment 7 gives it to an adjusting device 6, respectively, and an adjusting device 6 evaluates using the performance index shown below.

[Equation 4]

$\text{fitness} = \text{NC}/\text{NT}$ (in the case of $\text{NC}/\text{NT} < 1$)

$\text{fitness} = 1 + 1/(1.0 + |P|)$ (in the case of $\text{NC}/\text{NT} = 1$)

[0171] Here, fitness [in / in fitness / a genetic algorithm] and P are the peak power of the measured electromagnetic wave. In this performance index, it adjusts, and after stopping malfunctioning, it adjusts so that the peak value of the power of a pan radiated noise may be reduced if possible, until digital circuit substrate 1B stops malfunctioning.

[0172] The chromosome and register value in here correspond by one to one like the case of the approach of the 1st example. That is, if shown in drawing 17, the chromosome consists of register values of ten registers 5 corresponding to ten adjustment parts of the above-mentioned example similarly. And let each register 5 corresponding to each adjustment part be a 4-bit thing here. So, chromosome length is 40 bits. Therefore, the magnitude of the adjustment search space of digital circuit substrate 1B of the above-mentioned example is $2^{40} \times 10^{12}$ (12th power of 10), and, needless to say, the adjustment by all retrieval is impossible.

[0173] According to the approach of this example, use the delay element four B1 to 4B10 in which two or more adjustments are possible on the clock signal 9 in digital circuit substrate 1B, and since those delay values are adjusted so that the output of digital circuit substrate 1B may not malfunction A gap of the clock timing resulting from the configuration component of a clock circuit and the ununiformity of a component in a digital circuit substrate production process, the error on a design, etc. can be absorbed, and it can adjust so that digital circuit substrate 1B may not malfunction. Moreover, in this example, since adjustment which also took into consideration the radiated noise emitted as an electromagnetic wave from digital circuit substrate 1B can be performed, especially when the body and other electronic instruments exist in the perimeter of digital circuit substrate 1B, it is suitable.

[0174] In addition, although LSI mounted on a substrate in this example was made into ten pieces, needless to say in this invention, the number of LSI is not asked. Moreover, when neither the body nor other electronic instruments exist in the perimeter of the circuit board and size of the power of a radiated noise is not asked, it cannot be overemphasized that it is not necessary to take the value of P into consideration by the above-mentioned performance index.

[0175] The approach of this example is suitable especially when a clock frequency is high. case [because,] a clock frequency is high -- timing adjustment of a clock signal -- more -- difficulty -- becoming -- in addition -- and it is because the power of the high frequency component of an electromagnetic radiation noise becomes stronger.

[0176] In the 1st - the 4th example which were mentioned above, the genetic algorithm was used about how to take the initial value of a register 5, and the method of changing a register value from a initial value. However, when the signal line of a clock is making the tree structure, the algorithm called the genetic programming can also be used instead of a genetic algorithm.

[0177] Refer to the "Genetic Programming" written by [which MIT Press published in

1992] J.Koza for the detail of the genetic programming. The genetic programming adds the device which can treat the chromosome of the tree structure to a genetic algorithm. [0178] Next, by the digital system and its adjustment approach of the 5th example of this invention to describe, the value of a register 5 is changed with an adjusting device 6 in the system configuration shown in drawing 33 according to this genetic programming. Especially in this example, it is characterized [big] by mapping the tree structure of a clock circuit in the chromosome configuration of the genetic programming as it is as a chromosome of the genetic programming. If it does in this way, the circuit for changing the information on a chromosome into a register value etc. can be made unnecessary like the 1st example.

[0179] Although digital system 1T shown in drawing 33 do so the same function as a digital system 1, in these digital system 1T, clock signal 9T are inputted into digital system 1T, it branches in the shape of the tree structure, and they are inputted into digital subsystem 1TS1 - 1TS6. Within those digital subsystems, the above-mentioned clock signal is given to all flip-flops as a clock signal. Delay element 4T1-4T5 are inserted in each branching of a clock circuit, and each delay value can be changed according to corresponding register value 5RT1 - 5RT5. In addition, each digital subsystems are connected by the data line which is not illustrated.

[0180] Next, the adjustment approach of the 5th example of this invention of having followed the genetic programming is described. The flow chart of drawing 13 is followed by this adjustment approach as well as the 1st example. Moreover, the procedure of the genetic programming is the same as the flow chart shown in drawing 16, and the expression approach of a chromosome differs only from the decussation approach.

[0181] As a chromosome of the genetic programming, the tree structure shown in drawing 34 is used. That is, each bit string of the nodes CS1-CS5 of a chromosome corresponds to the value of each register 5RT1 - 5RT5 using the tree structure which expressed the connection condition of the clock circuit shown in drawing 33 as it was. In drawing 34, although each register length was explained as 3, needless to say, in the case of the number of bits of arbitration, this adjustment approach is applicable.

[0182] After setting up digital system 1T with the register value which is used by processing of drawing 14 and which the chromosome of an individual expresses as a performance index F of the individual of the genetic programming, it is made to operate, and the function showing how close [to expected value] the digital output observed by digital signal observation equipment 9 is is used.

[0183] In order to use by the processing shown in drawing 14, previously, at step S1 of drawing 13, as an initial ensemble of the genetic programming, a uniform random number is used and two or more individuals are created. That is, it means that the value of each gene of each chromosome of an initial ensemble takes the value of 1 by the probability 0.5, and takes the value of 0 by the probability 0.5 in this case. However, when a certain preliminary knowledge exists about the inclination of the unevenness of clock timing, the individual considered for fitness to be more high can be created as an initial ensemble.

[0184] From the observed value sent from digital signal observation equipment, fitness is calculated using the above-mentioned performance index with an adjusting device 6. Then, it judges whether the engine performance of digital system 1T is mistaken, and it operates that there is nothing at step S23, and in carrying out mistaken actuation,

selection selection of step S24, decussation of step S25, mutation of step S26, and processing of step S27 are performed, and it makes the ensemble (ensemble of the candidate of a solution) of a next-generation individual.

[0185] When the chromosome (register value) which is mistaken even if it performs adjustment processing [although the adjustment processing when a deer is carried out, digital system 1T mistake by decision in step S23 and it operates that there is nothing, after performing excellent article processing by step S9 is ended / the number of regularity generations], and operates that there is nothing is not obtained, digital system 1T for adjustment are judged to be a defective, and the processing as a defective carries out at step S8 of drawing 6 .

[0186] In selection selection processing of the above-mentioned step S24, the approach shown in the flow chart of drawing 16 like the case of an example 1 is used.

[0187] In decussation processing of the above-mentioned step S25, the approach shown in the explanatory view of drawing 35 is used. This is actuation of replacing the tree structure of a chromosome selectively in a random location, and is actuation of a genetic-programming proper. By drawing 35, it is the chromosome of the parents A and B who survived as a result of selection selection of TR1 and TR2, and these chromosomes are cut by the decussation processing in here in the decussation location CP chosen at random. and child A' which calls chromosome TR3 and has TR4 by replacing the cut partial genotype, respectively and Child B -- ' It generates and these are replaced with the individuals A and B of a basis. It can cross by using this approach, without destroying the partial information on the effective chromosome for adjustment.

[0188] The mutation of the above-mentioned step S26 which pulls to decussation at step S25, and is continued and performed to it is actuation in which are the occurrence probability of a mutation rate about each bit of the gene of each chromosome, and change 0 into 1 and it changes 1 into 0. The example of mutation is shown in drawing 36. In this drawing, a chromosome TR5 is square, mutation arises in the gene surrounded and shown, and each is changed into allele in the chromosome TR6.

[0189] In the general genetic programming, hereditary actuation which inserts the tree structure other than decussation and mutation, and is deleted is also performed. However, since it becomes impossible to change chromosome information into the value of the direct register 5 since those actuation changes chromosome length when those actuation is used, it is not used by this example.

[0190] According to this example, while the clock circuit is making the tree structure by the above-mentioned genetic programming, it can adjust efficiently.

[0191] this invention cannot be overemphasized, can be looked like [either the equipment whole / part / using a digital system, or two or more parts], can be applied, and does not ask the magnitude of a digital system.

[0192] Moreover, the adjustment by the approach of this invention has a low precision of the delay value of the delay element 4 which can be adjusted, and even if monotonicity is not guaranteed, it is almost convenient. So, the delay element used by this invention is producible in an area smaller than before on a semi-conductor substrate.

[0193] As mentioned above, although explained based on the example of a graphic display, this invention is not limited to an above-mentioned example, and includes other configurations which this contractor can change easily within the limits of the publication of a claim.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing typically the 1st example of the digital system of this invention applied to the general digital system.

[Drawing 2] It is the explanatory view showing the effect of delay setting adjustment of the delay element in a digital system.

[Drawing 3] It is the circuit diagram showing the example of 1 configuration of the delay element which can be used for the above-mentioned example, and which can be adjusted.

[Drawing 4] It is the explanatory view showing the wave of the input signal to the NOT element in the circuit shown in drawing 3, and the output signal from a NOT element.

[Drawing 5] It is the circuit diagram showing other examples of 1 configuration of the delay element which can be used for the above-mentioned example.

[Drawing 6] It is the circuit diagram showing the example of 1 configuration of further others of the delay element which can be used for the above-mentioned example.

[Drawing 7] It is the circuit diagram showing the example of 1 configuration of further others of the delay element which can be used for the above-mentioned example.

[Drawing 8] It is the circuit diagram showing the example of 1 configuration of further others of the delay element which can be used for the above-mentioned example.

[Drawing 9] It is the circuit diagram showing the example of 1 configuration of further others of the delay element which can be used for the above-mentioned example.

[Drawing 10] It is the circuit diagram showing an example of a configuration of that the delay element which can be adjusted and the least significant bit of a register in the above-mentioned example were included.

[Drawing 11] It is the circuit diagram showing other examples of a configuration of that the delay element which can be adjusted and the least significant bit of a register in the above-mentioned example were included.

[Drawing 12] It is the block diagram showing the example of 1 configuration of the delay

circuit which it can use [delay circuit] for the above-mentioned example and generates delay of positive/negative, and which can be adjusted.

[Drawing 13] It is the flow chart which shows the outline of the procedure of the 1st example of the clock signal adjustment approach of the digital system of this invention.

[Drawing 14] It is the flow chart which shows the outline of the procedure of a general genetic algorithm.

[Drawing 15] It is the explanatory view which illustrates the chromosome used by the genetic algorithm.

[Drawing 16] It is the flow chart which shows the procedure of the adjusting device using the genetic algorithm in the approach of the above-mentioned example.

[Drawing 17] It is the explanatory view showing the register value and delay value which become settled from the chromosome used by the genetic algorithm in the approach of the above-mentioned example, and there.

[Drawing 18] It is the flow chart which shows the procedure of the selection selection processing performed by the genetic algorithm in the approach of the above-mentioned example.

[Drawing 19] It is the explanatory view showing the procedure of the decussation processing performed by the genetic algorithm in the approach of the above-mentioned example.

[Drawing 20] It is the explanatory view showing the procedure of the mutation processing performed by the genetic algorithm in the approach of the above-mentioned example.

[Drawing 21] It is the flow chart which shows the procedure in the case of adjusting raising clock frequency gradually in the approach of the above-mentioned example.

[Drawing 22] It is the block diagram showing typically the example of a complete-change form of the above-mentioned example.

[Drawing 23] It is the block diagram showing the example of 1 configuration of the adjusting device in the above-mentioned example.

[Drawing 24] It is the block diagram showing the example of 1 configuration of the digital signal observation equipment in the above-mentioned example.

[Drawing 25] It is the block diagram showing the example of 1 configuration of the digital test signal generator in the above-mentioned example.

[Drawing 26] It is the block diagram showing the example of 1 configuration of the delay element in which adjustment in the circuit shown in drawing 12 is possible.

[Drawing 27] It is the block diagram showing typically the memory test pattern-generator circuit as the 2nd example of the digital system of this invention.

[Drawing 28] It is the explanatory view showing the relation between the fitness under experiment in the above-mentioned example, and a generation number.

[Drawing 29] It is the block diagram showing typically the example of a complete-change form of the above-mentioned example.

[Drawing 30] It is the block diagram showing typically a digital system with the pipeline structure as the 3rd example of the digital system of this invention.

[Drawing 31] It is the flow chart which shows the outline of the procedure of the 3rd example of the clock signal adjustment approach of the digital system of this invention.

[Drawing 32] It is the block diagram showing typically the digital circuit substrate as the 4th example of the digital system of this invention.

[Drawing 33] It is the block diagram showing the 5th example of the digital system of this invention typically.

[Drawing 34] It is the explanatory view showing the register value and delay value which become settled from the chromosome used by the genetic programming in the approach of the above-mentioned example, and there.

[Drawing 35] It is the explanatory view showing the procedure of the decussation processing performed by the genetic programming in the approach of the above-mentioned example.

[Drawing 36] It is the explanatory view showing the procedure of the mutation processing performed by the genetic programming in the approach of the above-mentioned example.

[Description of Notations]

- 1 Digital System
- 2 Flip-flop Adjusted
- 3 Flip-flop Which is not Adjusted
- 4 Delay Element Which Can be Adjusted
- 5 Register
- 6 Adjusting Device
- 7 Digital Signal Observation Equipment
- 8 Digital Test Signal Generator
- 9 Clock Signal
- 10 Test Signal
- 11 Digital Output Signal
- 12 Digital System Internal-State Signal
- Delay setpoint signal

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2. **** shows the word which can not be translated.
- 3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] While being inserted in two or more clock circuits which supply said clock

signal in said digital system in the digital system which performs digital processing according to a single or two or more clock signals, and does a predetermined function so, respectively Two or more delay elements which consisted of respectively circuit elements to which a time delay is changed according to the value which a control signal shows, Said two or more holding circuits the value of two or more of said control signals which are equipped with two or more holding circuits holding two or more control signals given to said two or more delay elements, and those holding circuits hold by the external device The digital system characterized by being changed so that said digital system may make a mistake in being related with timing of operation and it may operate according to the probabilistic-search technique that there is nothing.

[Claim 2] The value of the control signal which said holding circuit holds is a digital system according to claim 1 characterized by being changed into the optimum value which said external device changed the value of said control signal one by one, and searched for it according to the genetic algorithm, and from which said digital system will be in the condition of making a mistake in being related with timing of operation, and operating there being nothing.

[Claim 3] The value of the control signal which said holding circuit holds is a digital system according to claim 1 characterized by being changed into the optimum value which said external device changed the value of said control signal one by one, and searched for it according to the genetic programming, and from which said digital system will be in the condition of making a mistake in being related with timing of operation, and operating there being nothing.

[Claim 4] Modification of said two or more control signals by said external device is any to claims 1-3 which are characterized by being carried out raising the frequency of said clock signal gradually, or the digital system of a publication.

[Claim 5] While being inserted in two or more clock circuits which supply said clock signal in said digital system in the digital system which performs digital processing according to a single or two or more clock signals, and does a predetermined function so, respectively Two or more delay elements which consisted of respectively circuit elements to which a time delay is changed according to the value which a control signal shows, So that two or more holding circuits holding two or more control signals given to said two or more delay elements and said digital system may make a mistake in being related with timing of operation and it may operate that there is nothing The digital system characterized by having a setting-out means to change the value of two or more of said control signals which said two or more holding circuits hold according to the probabilistic-search technique.

[Claim 6] Said setting-out means is a digital system according to claim 5 which changes the value of said control signal one by one according to a genetic algorithm, and is characterized by being what searches for the optimum value of the control signal with which said digital system will be in the condition of making a mistake in being related with timing of operation, and operating there being nothing.

[Claim 7] Said setting-out means is a digital system according to claim 5 which changes the value of said control signal one by one according to the genetic programming, and is characterized by being what searches for the optimum value of the control signal with which said digital system will be in the condition of making a mistake in being related with timing of operation, and operating there being nothing.

[Claim 8] Modification of said two or more control signals by said setting-out means is any to claims 5-7 which are characterized by being carried out raising the frequency of said clock signal gradually, or the digital system of a publication.

[Claim 9] Said digital system is any to claims 1-8 which are characterized by being constituted as an integrated circuit, or a digital system of a publication.

[Claim 10] Said digital system is any to claims 1-8 which are characterized by having pipeline structure, or a digital system of a publication.

[Claim 11] Said digital system is any to claims 1-8 which are characterized by being constituted as the circuit board, or a digital system of a publication.

[Claim 12] In the approach of adjusting the timing of said clock signal of the digital system which performs digital processing according to a single or two or more clock signals, and does a predetermined function so In two or more clock circuits which supply said clock signal in said digital system Insert two or more delay elements, respectively, and it constitutes from a circuit element to which a time delay is changed according to the value a control signal indicates said two or more delay elements to be respectively. While holding in two or more holding circuits which formed two or more control signals given to said two or more delay elements in said digital system The clock signal adjustment approach of a digital system characterized by changing the value of two or more of said control signals which said two or more holding circuits hold by the external device according to the probabilistic-search technique so that said digital system may make a mistake in being related with timing of operation and it may operate that there is nothing.

[Claim 13] Said external device is the clock signal adjustment approach of a digital system according to claim 12 which changes the value of said control signal one by one according to a genetic algorithm, and is characterized by searching for the optimum value of the control signal with which said digital system will be in the condition of making a mistake in being related with timing of operation, and operating there being nothing.

[Claim 14] Said external device is the clock signal adjustment approach of a digital system according to claim 12 which changes the value of said control signal one by one according to the genetic programming, and is characterized by searching for the optimum value of the control signal with which said digital system will be in the condition of making a mistake in being related with timing of operation, and operating there being nothing.

[Claim 15] It is the clock signal adjustment approach of any to claims 12-14 which are characterized by making a change of said two or more control signals by said external device, raising the frequency of said clock signal gradually, or the digital system a publication.

[Claim 16] In the approach of adjusting the timing of said clock signal of the digital system which performs digital processing according to a single or two or more clock signals, and does a predetermined function so In two or more clock circuits which supply said clock signal in said digital system Insert two or more delay elements, respectively, and it constitutes from a circuit element to which a time delay is changed according to the value a control signal indicates said two or more delay elements to be respectively. While holding in two or more holding circuits which formed two or more control signals given to said two or more delay elements in said digital system With the setting-out means which prepared the value of two or more of said control signals which said two or more holding circuits hold in said digital system so that said digital system may make a

mistake in being related with timing of operation and it may operate that there is nothing
The clock signal adjustment approach of a digital system characterized by changing according to the probabilistic-search technique.

[Claim 17] Said setting-out means is the clock signal adjustment approach of a digital system according to claim 16 which changes the value of said control signal one by one according to a genetic algorithm, and is characterized by being what searches for the optimum value of the control signal with which said digital system will be in the condition of making a mistake in being related with timing of operation, and operating there being nothing.

[Claim 18] Said setting-out means is the clock signal adjustment approach of a digital system according to claim 16 which changes the value of said control signal one by one according to the genetic programming, and is characterized by being what searches for the optimum value of the control signal with which said digital system will be in the condition of making a mistake in being related with timing of operation, and operating there being nothing.

[Claim 19] Modification of said two or more control signals by said setting-out means is the clock signal adjustment approach of any to claims 16-18 which are characterized by being carried out raising the frequency of said clock signal gradually, or the digital system a publication.

[Claim 20] Said digital system is the clock signal adjustment approach of any to claims 12-19 which are characterized by being constituted as an integrated circuit, or the digital system a publication.

[Claim 21] Said digital system is the clock signal adjustment approach of any to claims 12-19 which are characterized by having pipeline structure, or the digital system a publication.

[Claim 22] Said digital system is the clock signal adjustment approach of any to claims 12-19 which are characterized by being constituted as the circuit board, or the digital system a publication.

[Claim 23] Said external device is the clock signal adjustment approach of any to claims 12-15 which are characterized by consisting of computers, or the digital system a publication.

[Claim 24] Said setting-out means is the clock signal adjustment approach of any to claims 16-19 which are characterized by consisting of computers, or the digital system a publication.

[Claim 25] The record medium which recorded the processing program which changes the value of two or more of said control signals which said two or more holding circuits hold which said computer performs in the clock signal adjustment approach of a digital system according to claim 23 or 24 according to the probabilistic-search technique so that said digital system may make a mistake in being related with timing of operation and it may operate that there is nothing.

[Translation done.]